

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-339973

(P2000-339973A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 1 1 C 14/00
11/22
11/405

G 1 1 C 11/34
11/22
11/34

3 5 2 A 5 B 0 2 4
3 5 2 B

審査請求 未請求 請求項の数23 O L (全 38 頁)

(21) 出願番号

特願平11-155131

(22) 出願日

平成11年6月2日 (1999.6.2)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 萩原 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 高島 大三郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

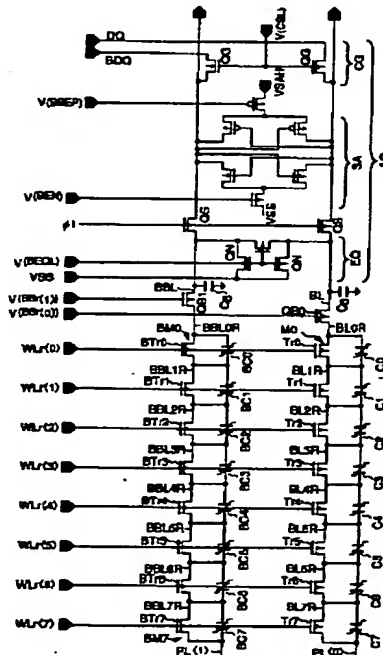
最終頁に続く

(54) 【発明の名称】 強誘電体メモリおよび半導体メモリ

(57) 【要約】

【課題】 チェインFRAMにおいて読み出し／書き込み動作を行う時にメモリセルの蓄積分極量の減少、ディスタープの発生を抑制する。

【解決手段】 強誘電体セルM0～M7を複数個直列に接続したセルユニットと、セルユニットの一端に接続されたプレート線PL<0>と、セルユニットの他端に選択トランジスタQB0を介して接続されたビット線BLと、このビット線と相補的なビット線BBLの電位を比較増幅するセンスアンプSAと、選択トランジスタとセンスアンプとの間に挿入されたトランジスタQSとを具備し、プレート線電位が上昇した状態でセンス増幅が行われている時のトランジスタQSのゲート電位の最小値VPP1は、プレート線電位が下降した状態でセンス増幅が行われている時のトランジスタQSのゲート電位の最大値VPP2よりも小さい。



【特許請求の範囲】

【請求項1】 強誘電体キャパシタの両電極をそれぞれ第1のMOSトランジスタのソースおよびドレインに接続してなるメモリセルを複数個直列に接続したメモリセルユニットと、

前記メモリセルユニットの各第1のMOSトランジスタのゲートにそれぞれ対応して接続された複数本のワード線と、

前記メモリセルユニットの一端に接続されたプレート線と、

前記メモリセルユニットの他端にブロック選択用スイッチ素子を介して接続された第1のビット線と、

前記第1のビット線およびこれと相補的な第2のビット線からなるビット線対の電位を比較増幅するセンスアンプと、

前記ブロック選択用スイッチ素子とセンスアンプとの間に挿入された第2のMOSトランジスタとを具備し、

前記プレート線電位が上昇した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最小値を V_{PP1} 、前記プレート線電位が下降した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最大値を V_{PP2} とすると、 $V_{PP1} < V_{PP2}$ であることを特徴とする強誘電体メモリ。

【請求項2】 少なくとも1個の強誘電体キャパシタの一端に第1のMOSトランジスタの一端が接続されてなるメモリセルが複数個配列されたメモリセルアレイと、前記第1のMOSトランジスタのゲートに接続されたワード線と、

前記第1のMOSトランジスタの前記強誘電体キャパシタ接続側とは反対側のノードに接続された第1のビット線と、

前記強誘電体キャパシタの前記第1のMOSトランジスタ接続側とは反対側のノードに接続されたプレート線と、

前記第1のビット線およびこれと相補的な第2のビット線からなるビット線対の電位を比較増幅するセンスアンプと、

前記第1のビット線とセンスアンプとの間に挿入された第2のMOSトランジスタとを具備し、

前記プレート線電位が上昇した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最小値を V_{PP1} 、前記プレート線電位が下降した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最大値を V_{PP2} とすると、 $V_{PP1} < V_{PP2}$ であることを特徴とする強誘電体メモリ。

【請求項3】 前記プレート線電位が上昇した状態で、

且つ、前記センスアンプにより比較増幅が行われていない時の前記第2のMOSトランジスタのゲート電位の最大値を V_{PP3} とすると、 $V_{PP1} < V_{PP3}$ であることを特徴とする請求項1または2記載の強誘電体メモリ。

【請求項4】 前記 V_{PP2} は、前記第1のビット線の最大振幅電圧と前記第2のMOSトランジスタの閾値電圧との和以上であることを特徴とする請求項1または2記載の強誘電体メモリ。

【請求項5】 前記 V_{PP2} は、前記ワード線の昇圧電位 V_{PP} と同電位であることを特徴とする請求項4記載の強誘電体メモリ。

【請求項6】 前記 V_{PP1} は、前記第1のビット線の最大振幅電圧と前記第2のMOSトランジスタの閾値電圧との和未満であることを特徴とする請求項1または2記載の強誘電体メモリ。

【請求項7】 前記 V_{PP1} は、前記第1のビット線の最大振幅電圧あるいは外部から供給される外部電源電圧 V_{CC} と同電位であることを特徴とする請求項1または2記載の強誘電体メモリ。

【請求項8】 前記 V_{PP1} は0Vであることを特徴とする請求項1または2記載の強誘電体メモリ。

【請求項9】 前記 V_{PP3} は、前記第1のビット線の最大振幅電圧と前記第2のMOSトランジスタの閾値電圧との和以上であることを特徴とする請求項3記載の強誘電体メモリ。

【請求項10】 前記第2のMOSトランジスタのメモリセル側の一端に接続されている前記ビット線対間に接続され、所定のタイミングで前記ビット線対を0Vにイコライズするイコライズ回路をさらに具備することを特徴とする請求項1乃至3のいずれか1項記載の強誘電体メモリ。

【請求項11】 前記第2のMOSトランジスタのゲート電位が0Vになっている状態で、前記イコライズ回路がオン状態に制御されることにより前記メモリセルに前記プレート線から前記センスアンプへの向きの分極が再書き込みされることを特徴とする請求項10記載の強誘電体メモリ。

【請求項12】 前記イコライズ回路は、前記センスアンプが非活性になった状態でのみオン状態に制御されることを特徴とする請求項10記載の強誘電体メモリ。

【請求項13】 前記メモリセルユニットの選択セルからデータを読み出した後にメモリチップ外部からデータを書き込む時には請求項11記載の動作が行われ、前記メモリセルユニットの選択セルからデータを読み出して再書き込みする時には請求項12記載の動作が行われることを特徴とする強誘電体メモリ。

【請求項14】 請求項11記載の動作が行われるライトサイクルのサイクルタイムよりも、請求項12記載の動作が行われるリードサイクルのサイクルタイムの方が短いことを特徴とする請求項13記載の強誘電体メモ

リ。

【請求項15】 前記メモリセルユニットの選択セルからデータを読み出した後再書き込みする時、および前記メモリセルユニットの選択セルからデータを読み出した後にメモリチップ外部からデータを書き込む時に、それぞれ請求項1記載の動作が行われることを特徴とする強誘電体メモリ。

【請求項16】 前記ビット線対の電位をそれぞれの制御電極で受け、それぞれの一端間に前記センスアンプの一对の入出力ノードが接続される一对の第3のトランジスタと、

前記センスアンプの一对の入出力ノードと前記ビット線対との間に挿入され、前記センスアンプによる比較増幅が行われた出力データを前記プレート線の電位が0Vに落とされた後にオン状態に制御されることによって前記ビット線対に伝達する一对の第4のトランジスタとをさらに具備することを特徴とする請求項1記載の強誘電体メモリ。

【請求項17】 0Vまたは0V近辺の閾値を有する少なくとも1個の第1のMOSトランジスタおよびその一端に接続された少なくとも1個の情報記憶用キャパシタが接続されてなるメモリセルと、

前記第1のMOSトランジスタのゲートに接続されたワード線と、

前記第1のMOSトランジスタの前記情報記憶用キャパシタ接続側とは反対側のノードに接続されたビット線と、

前記ビット線の電位を参照電位と比較増幅するセンスアンプとを具備することを特徴とする半導体メモリ。

【請求項18】 前記情報記憶用キャパシタは、電極間絶縁膜として強誘電体薄膜が用いられていることを特徴とする請求項17記載の半導体メモリ。

【請求項19】 前記情報記憶用キャパシタは、電極間絶縁膜としてゲート酸化膜が用いられていることを特徴とする請求項17記載の半導体メモリ。

【請求項20】 強誘電体キャパシタの両電極をそれぞれ第1のMOSトランジスタのソースおよびドレインに接続してなるメモリセルを複数個直列に接続したメモリセルユニットと、

前記メモリセルユニットの各第1のMOSトランジスタのゲートにそれぞれ対応して接続された複数本のワード線と、

前記メモリセルユニットの一端に接続されたプレート線と、

前記メモリセルユニットの他端に一端が接続されたブロック選択用の第1のMOSトランジスタと、

前記第1のMOSトランジスタの他端に接続された第1のビット線と、

第1のビット線およびこれと相補的な第2のビット線からなるビット線対の電位を比較増幅するセンスアンプと

を具備し、

前記第1のMOSトランジスタは、0Vまたは0V近辺の閾値を有することを特徴とする半導体メモリ。

【請求項21】 前記ワード線の昇圧電位は電源電圧であることを特徴とする請求項17乃至20のいずれか1項記載の半導体メモリ。

【請求項22】 前記ワード線の非選択時は負電位であることを特徴とする請求項17乃至21のいずれか1項記載の半導体メモリ。

【請求項23】 前記センスアンプの低電位側電位は正の値であることを特徴とする請求項17乃至21のいずれか1項記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリに係り、特に低昇圧電位を有する従来型メモリセルを有するFRAM、チェーンFRAM、同じく低昇圧電位を有しネガティブワード線方式あるいはブーステッド・センス・グラウンド方式を採用したDRAMおよび従来型メモリセルを有するFRAMおよびチェーンFRAMに関するものであり、メモリ集積回路、ロジック混載メモリ集積回路などに適用される。

【0002】

【従来の技術】強誘電体は、印加電界と電気分極量との関係がヒステリシス特性を有し、強誘電体膜の両端間の印加電圧を零に戻しても分極が残る。即ち、強誘電体は、電界が印加された時に一旦発生した電気分極は上記電界が印加されなくなっても残留し、上記電界とは反対方向の向きにある程度以上の強さの電界が印加された時に分極の向きが反転する特性を有している。

【0003】このような強誘電体の不揮発性特性に着目して、強誘電体薄膜の分極の方向として情報を蓄積するメモリセルのアレイを有するFRAMが開発されている。

【0004】FRAMセルの構造としては、情報記憶用キャパシタの電極間絶縁膜に強誘電体膜を用いる構造と、スイッチ用のMOSトランジスタのゲート絶縁膜に強誘電体膜を用いる構造との2種類に大別される。

【0005】前者のFRAMセルの構造は、DRAMセルのキャパシタを強誘電体キャパシタに置き換えた構成で実現されており、トランスファゲート用のMOSトランジスタを介して強誘電体キャパシタから分極反転あるいは非反転の際の電荷が取り出され（データ破壊読み出し）、データ読み出し後に再書き込みが行われる。

【0006】ここで、前者のFRAMセルの基本的な構成、特性、書き込み／読み出し原理について説明しておく。

【0007】上記FRAMセルには、図25(a)に示す等価回路のように1T1C型のものと、例えば図27(a)に示す等価回路のように1T1C型のセル2組に

より構成される2T2C型のものがある。

【0008】図25(a)に示す1T1C型のセルは、1つのトランスファゲート用の1つのMOSトランジスタQと情報記憶用の1つの強誘電体キャパシタCが直列に接続されており、上記MOSトランジスタQのゲートにワード線WLが接続され、上記MOSトランジスタQの一端(ドレイン)にビット線BLが接続され、上記キャパシタCの一端(プレート)にプレート線PLが接続される。

【0009】図25(b)は、図25(a)に示した1T1C型のFRAMセルの"0"読み、"1"読み動作を説明するために、強誘電体キャパシタの電極対間に挟まれた強誘電体薄膜の印加電圧(プレート線電圧VPLとビット線電圧VBLとの電位差)と分極量P(C/m)との関係(ヒステリシス特性)を示す特性図であり、図中、a、b点は残留分極量を示す。

【0010】図25(b)に示すヒステリシス特性から分かるように、セルの強誘電体キャパシタの強誘電体薄膜に電界を印加しない状態、即ち、キャパシタ電極対間の印加電圧V=0(V)の状態での強誘電体薄膜の残留分極Prがa点に位置するかb点に位置するかによって、セルに二値データを記憶することができる。

【0011】次に、1T1C型のFRAMセルに対する読み出し/書き込み動作の原理について、図25(b)に示すヒステリシス特性を参照しながら説明する。

【0012】まず、プリチャージサイクルにおいてビット線電圧VBLを接地電位にイコライズする。次に、ビット線のイコライズを解除し、ワード線WLを選択してトランジスタQをオンにした後、プレート線電圧VPLを接地電位から電源電圧に上昇させることによりキャパシタCの電荷をビット線に読み出し、これにより生じるビット線電位の変化をレファレンス用のセルから発生される参照電圧とセンスアンプ(図示せず)で比較増幅する。

【0013】この時、"0"読みの場合には、キャパシタCの分極は反転しないので、ビット線に読み出される電荷量は少なく、センスアンプによる比較増幅の結果、ビット線(キャパシタCのストレージノード側)は接地電位になる。これにより、キャパシタCの分極点はヒステリシス曲線のa点からc点へ移動する。

【0014】これに対して、"1"読みの場合には、キャパシタCの分極反転を伴い、前記プレート線電圧VPLとして電源電圧を印加した時にビット線に読み出される電荷量が"0"読みの場合に比べて多く、センスアンプによる比較増幅の結果、ビット線(キャパシタCのストレージノード側)が電源電圧と同電位になる。これにより、キャパシタCの分極点はヒステリシス曲線のb点からc点に移った後、a点に移動する。

【0015】次に、センスアンプにラッチされているデータをデータ線(図示せず)に送り出した後、プレート

線電圧VPLを接地電位へ落とすことにより、"0"読みの場合の分極点はa点に戻り、"1"読みの場合の分極点はd点に移る。

【0016】この後、トランジスタQをオフにした時、"1"読みの場合の分極点はd点からb点へ移り、セルキャパシタCへの再書き込みが終了する。

【0017】以上は、読み出しおよび再書き込みを説明したが、データの書き換えを行いたい時は、上記プレート電圧VPLとして電源電圧が加えられている時に、"1"を書き込みたい時はビット線に電源電圧と同電位、"0"を書き込みたい時はビット線に接地電位を出力線(図示せず)を通じて加えればよい。

【0018】図26(a)に示す2T2C型のセルは、第1のセルのトランジスタQ1の一端に第1のビット線BLが接続され、第2のセルのトランジスタQ2の一端に前記ビット線BLと対をなす第2のビット線/BLが接続される。そして、各トランジスタQ1、Q2のゲートに共通にワード線WLが接続され、各キャパシタC1、C2のプレート電極に共通にプレート線PLが接続される。上記2本のビット線BL、/BLには、ビット線電位センス増幅用のセンスアンプ(図示せず)、イコライズ回路(図示せず)などが接続されている。

【0019】次に、2T2C構成の強誘電体メモリセルのデータ書き込み動作の原理およびデータ読み出し動作の原理について説明する。

【0020】図26(a)乃至(d)は書き込み動作時における強誘電体キャパシタの印加電圧、電気分極の状態を示しており、図27(a)乃至(c)は読み出し動作時における強誘電体キャパシタの印加電圧、電気分極の状態を示している。

【0021】また、図28は上記データの書き込み動作時および読み出し動作時におけるプレート線の印加電圧を示している。上記強誘電体メモリセルに対するデータの読み出し、書き込みの際に、選択されたメモリセルのプレート線PLの電位を例えば0V→3V→0Vと変化させることにより、分極の向きを制御する。

【0022】(A)データの書き込み動作に際しては、初期状態では、プレート線PLを0Vに設定し、ビット線対BL、/BLをそれぞれ0Vにイコライズしておく。ここで、2個のキャパシタC1、C2には例えば図26(a)に示すように互いに逆向きの分極データが書き込まれている場合を想定する。

【0023】まず、動作の開始に当たりビット線のイコライズを解除する。続いて図26(b)に示すように、ワード線WLに例えば4.5Vを印加して2個のトランジスタQ1、Q2をオン状態にし、次に、プレート線PLに例えば3Vを印加して、2個のキャパシタC1、C2からビット線対BL、/BLに電荷を読み出す。この時、第1のキャパシタC1の両端間に電位差が生じてその分極の向きが反転するが、第2のキャパシタC2の分

極の向きは反転しない。

【0024】次に、図26(c)に示すように、ビット線対BL、/BLのうちの一方(例えば/BL)に例えば3V、他方(例えばBL)に0Vを印加し、続いて図26(d)に示すように、プレート線PLを0Vに戻す。すると、第2のキャパシタC2の両端間に電位差が生じてその分極の向きが反転するが、第1のキャパシタC1の分極の向きは反転せず、初期状態とは逆向きの分極データが書き込まれたことになる。この後、ワード線WLを0Vに戻し、2個のトランジスタQ1、Q2をオフ状態に戻す。

【0025】(B)データの読み出し動作に際しては、初期状態では、プレート線PLを0Vに設定し、ビット線対BL、/BLをそれぞれ0Vにイコライズしておく。ここで、2個のキャパシタC1、C2には例えば図27(a)に示すように互いに逆向きの分極データが書き込まれている場合を想定する。

【0026】まず、動作の開始に当たりビット線のイコライズを解除する。続いて図27(b)に示すように、ワード線WLに例えば4.5Vを印加して2個のトランジスタQ1、Q2をオン状態にし、次に、プレート線PLに例えば3Vを印加して、2個のキャパシタC1、C2からビット線対BL、/BLに電荷を読み出す。この時、第2のキャパシタC2の両端間に電位差が生じてその分極の向きが反転するが、第1のキャパシタC1の分極の向きは反転しない。その結果、ビット線BLの電位V(BL)はビット線/BLの電位V(/BL)より低くなる。この2個のキャパシタC1、C2からの読み出し電位はセンスアンプによりセンス増幅され、このセンスアンプの出力によりビット線対BL、/BLはそれぞれ0V、3Vになる。

【0027】続いて、図27(c)に示すように、プレート線PLを0Vに設定戻すと、第2のキャパシタC2の両端間に電位差が生じてその分極の向きが再び反転し、第1のキャパシタC1の分極の向きは反転せず、初期状態に戻る。この後、ワード線WLを0Vに戻し、2個のトランジスタQ1、Q2をオフ状態に戻す。

【0028】上記したようなFRAMは、他の不揮発性メモリであるフラッシュメモリと比較すると、書き換え回数が多く、書き込み時間が小さい、低電圧/低消費電力動作が可能であるといった特徴があり、近年、開発が急ピッチで行われている。

【0029】このような特徴を持つFRAMは、既存のDRAM、フラッシュメモリ、SRAMとの置き換え、ロジックデバイスとの混載等、その期待は大変大きい。また、FRAMは、バッテリーレスで高速動作が可能であるので、非接触カード(RF-ID: Radio Frequency-Identification)への展開が始まりつつある。

【0030】一方、FRAMのビット線構成を折り返し構成(Folded構成)とすると、 $8F^2$ (Fはデザインル

ールの最小線幅)以下にはできないことや、容量の重いプレート線を駆動することから動作速度はDRAMよりは遅いという問題がある。

【0031】これらの問題を解決するために、以下の文献: VLSI Circuit Sympo. 1997 p83-84 "High-Density Chain Ferroelectric Random Access Memory(CFRAM)"およびISSCC Tech. Dig. Papers, pp.102-103, Feb. 1999 "A Sub-40ns Random-Access Chain FRAM Architecture with 7ns Cell-Plate-Line Drive"により、Chain FRAM(チェインFRAM)が提案されている。

【0032】このチェインFRAMは、MOSトランジスタのソースとドレインに強誘電体キャパシタの両電極を接続してなる強誘電体メモリセルを複数個直列に接続してなるメモリセルユニットのアレイを有し、メモリセルユニットの複数個のメモリセルのうちの非選択セルのトランジスタをオン状態、選択セルのトランジスタをオフ状態に制御することにより、メモリセルをランダムにアクセスし得るように構成されたものである。

【0033】前記文献によれば、チェインFRAMは、従来のFRAMと比べて、セルサイズは $1/2$ 、ビット線容量は $1/4$ となるので、高速化と高集積化が図れると記載されている。ここで、従来のチェインFRAMについて簡単に説明する。

【0034】図29は、従来のチェインFRAMの一部の構成を概略的に示しており、特にメモリセルアレイおよび周辺回路の一部の回路接続を示している。

【0035】即ち、図29において、メモリセル領域には、メモリセルユニットが行列状に配列されている。このメモリセルユニットは、強誘電体キャパシタの両電極をそれぞれエンハンスメント型(Eタイプ)のNMOSトランジスタのソースおよびドレインに接続してなるメモリセルを複数個直列に接続してなる。

【0036】本例では、例えば8個のメモリセルM0~M7、BM0~BM7が直列に接続されたメモリセルユニットを代表的に示しており、前記セルM0~M7のトランジスタをTr0~Tr7、キャパシタをC0~C7、セルBM0~BM7のトランジスタをBTr0~BTr7、キャパシタをBC0~BC7で示している。

【0037】前記各トランジスタをTr0~Tr7、BTr0~BTr7のゲートには対応してワード線WL<0>~WL<7>に接続されており、上記メモリセルユニットの一端はプレート線PL<0>あるいはPL<1>に接続されており、他端はブロック選択用のMOSトランジスタQB0あるいはQB1を介してビット線BLあるいはこれに相補的なBBLに接続されている。

【0038】さらに、前記ビット線対BL、BBLには、イコライズ回路EQ、フリップフロップタイプのセンスアンプSA、カラム選択ゲートCGが接続されている。

【0039】なお、前記ブロック選択用のMOSトラン

ジスタQB0、QB1は、対応してブロック選択信号V(BSr<0>)、V(BSr<1>)により制御され、前記イコライズ回路EQはイコライズ制御信号V(BEQL)により制御され、前記センスアンプSAはセンスアンプ活性化制御信号V(SEN)、V(BSEP)により制御され、前記カラム選択ゲートCGはカラム選択信号V(CSL)により制御される。

【0040】しかし、図29に示された構成において、以下に代表的に例示する様な従来の読み出し/書き込み動作あるいは従来の書き込み動作を行う時、セルの蓄積分極量が減少し、ディスタープが発生するという問題があり、これについて詳細に説明する。

【0041】<従来の書き込みの第1の動作例>図30は、図29に示された2T2C型のセルに対して例えばワード線Wlr<0>を選択してセルM0、BM0を選択し、シングルプレートパルス(Single Plate Pulse)駆動方式により、セルM0からデータ"0"を読んだ後、データ"1"をチップ外部から書き込む動作の一例を示すタイミングチャートおよび図29中のノードBL1RからBL7Rまでの電位の推移を示す電位波形図である。

【0042】以下、図30を参照しながら具体的に第1の動作例を説明する。

【0043】まず、イコライズ制御信号V(BEQL)を下げてビット線対のイコライズを解除する。次に、ワード線駆動電位V(Wlr<0>)を下げてワード線Wlr<0>を選択する。次に、ブロック選択信号V(BSr<0>)、V(BSr<1>)を上げてメモリセルM0、BM0をビット線対BL、BBLに接続する。続いて、プレート線電位V(PL<0>)、V(PL<1>)を上げてプレート線を上昇させ、メモリセルM0、BM0の分極を電荷の形でビット線対BL、BBLに読み出す。

【0044】次に、センスアンプ活性化信号V(SEN)を上げるとともにセンスアンプ活性化信号V(BSEP)を下げてセンスアンプSAを活性化し、比較増幅する。この時、メモリセルM0にストアされている分極データはプレート線からセンスアンプの向き(即ち、"0"データ)であるので、センスアンプによる比較増幅の結果、図29に示す様に、BL1RからBL7Rまでの各ノードはプレート線の上昇した電位であるが、ノードBL0Rは0Vとなる。

【0045】この後、センスアンプSAが活性化されたままの状態のカラム選択信号V(CSL)が選択され、チップ外部からカラム選択ゲートCGを通じて"1"データが書き込まれる。すると、ワード線の昇圧電位が低い場合、BL1RからBL7Rまでの各ノードは大きくブート(boot)され、

ノードBL7Rの電位 - ノードBL6Rの電位
ノードBL6Rの電位 - ノードBL5Rの電位
ノードBL5Rの電位 - ノードBL4Rの電位
ノードBL4Rの電位 - ノードBL3Rの電位
ノードBL3Rの電位 - ノードBL2Rの電位

ノードBL2Rの電位 - ノードBL1Rの電位

の間には電位差が発生する。この理由を以下に説明する。

【0046】前記したようにプレート線の上昇電位から更にセンスアンプSAによってブートされると、各セルトランスファゲートTr0 ~ Tr7のソース電位が上昇し、各セルトランスファゲートTr0 ~ Tr7のゲート・ソース間電位差が深くなり、基板バイアス効果による閾値の上昇によってセルトランスファゲートTr0からTr7がオフする。Tr0からTr7が一旦オフになった状態で更にセンスアンプSAによって増幅されるので、オフした後にセンスアンプSAによって上昇した分は、センスアンプSAとセルトランスファゲートTr0 ~ Tr7の間に連なる容量成分で容量分割される。

【0047】結果として、各セルトランスファゲートTr0 ~ Tr7の両端に電位差が発生し、分極量が減少することになり、特にセルトランスファゲートTr1の両端ノードBL2R、BL1R間には大きな電位差がかかる。この時、非選択メモリセルM1にストアされている分極の向きがプレート線からセンスアンプへの向き(即ち、データ"0")である場合は、この蓄積分極を減らす電場がかかることになり、ディスタープとなる。

【0048】<従来の書き込みの第2の動作例>図31は、図29に示された2T2C型のセルに対して例えばワード線Wlr<0>を選択してセルM0とBM0を選択し、ダブルプレートパルス(Double Plate Pulse、二重プレート線パルス)駆動方式により、セルM0からデータ"0"を読んだ後、データ"1"をチップ外部から書き込む動作の一例を示すタイミングチャートおよび図29中のノードBL1RからBL7Rまでの電位の推移を示す電位波形図である。

【0049】以下、図31を参照しながら第2の動作例を具体的に説明する。

【0050】まず、イコライズ制御信号V(BEQL)を下げてビット線対のイコライズを解除する。次に、ワード線駆動電位V(Wlr<0>)を下げてワード線Wlr<0>を選択する。次に、ブロック選択信号V(BSr<0>)、V(BSr<1>)を上げてメモリセルM0、BM0をビット線対BL、BBLに接続する。

【0051】続いて、プレート線電圧V(PL<0>)およびV(PL<1>)をそれぞれ上げた後に下げるパルス駆動を行い、メモリセルM0、BM0の分極を電荷の形でビット線対BL、BBLに読み出す。

【0052】次に、センスアンプ活性化信号V(SEN)を上げるとともにセンスアンプ活性化信号V(BSEP)を下げてセンスアンプSAを活性化し、比較増幅する。この時、メモリセルM0にストアされている分極データはプレート線からセンスアンプの向き(即ち、"0"データ)であるので、センスアンプSAによる比較増幅の結果、

50 図31に示す様に、BL1RからBL7Rまでの各ノードはプレ

ート線の上昇電位であるが、ノードBL0Rは0Vとなる。
 【0053】この後、センスアンプSAが活性化されたままの状態のカラム選択信号V(CSL)が選択され、チップ外部からカラム選択ゲートCGを通じてデータ"1"が書き込まれる。すると、ワード線の上昇電位が低い場合、BL1RからBL7Rまでの各ノードは大きくブートされ、
 ノードBL7Rの電位 - ノードBL6Rの電位
 ノードBL6Rの電位 - ノードBL5Rの電位
 ノードBL5Rの電位 - ノードBL4Rの電位
 ノードBL4Rの電位 - ノードBL3Rの電位
 ノードBL3Rの電位 - ノードBL2Rの電位
 ノードBL2Rの電位 - ノードBL1Rの電位
 の間には電位差が発生する。この理由を以下に説明する。

【0054】前記したようにプレート線の上昇電位から更にセンスアンプSAによってブートされるので、各セルトランジスタのソース電位が上昇し、各セルトランスファゲートのゲート・ソース間電位差が深くなり、基板バイアス効果によるセルトランスファゲートTr0~Tr7の閾値の上昇によって、セルトランスファゲートTr0からTr7がオフする。Tr0~Tr7が一旦オフになった状態で更にセンスアンプSAによって上昇するので、Tr0~Tr7がオフした後に上昇した分はセンスアンプSAと前記セルトランスファゲートTr0~Tr7の間に連なる容量成分で容量分割される。

【0055】結果として、各セルトランスファゲートTr0~Tr7の両端に電位差が発生し、分極量が減少することになり、特にノードBL2R、BL1R間には大きな電位差がかかる。この時、非選択メモリセルM1にストアされている分極の向きがプレート線からセンスアンプへの向き(即ち、データ"0")である場合は、この蓄積分極を減らす電場がかかることになり、ディスターブとなる。

【0056】<従来の読み出しの第3の動作例>図32は、図29に示された2T2C型のセルに対して例えばワード線WL<7>を選択してセルBM7とM7を選択し、ダブルプレートパルス駆動方式により、セルBM7からデータ"1"を読み出す動作を示すタイミングチャートおよび図29中のノードBL1RからBL7Rまでの電位の推移を示す電位波形図である。

【0057】以下、図32を参照しながら第3の動作例を具体的に説明する。

【0058】まず、イコライズ制御信号V(BEQL)を下げ、ビット線対BL、BBLのイコライズを解除する。次に、ワード線駆動電位V(WL<7>)を下げ、ワード線WL<7>を選択する。次に、ブロック選択信号V(BSr<0>)、V(BSr<1>)を上げてメモリセルBM7、M7をビット線対BBL、BLに接続する。

【0059】続いて、プレート線電圧V(PL<0>)およびV(PL<1>)をそれぞれパルス駆動してメモリセルBM7、M7の分極を電荷の形でビット線対BBL、BLに

読み出す。

【0060】次に、センスアンプ活性化信号V(SEN)を上げるとともにセンスアンプ活性化信号V(BSEP)を下げてセンスアンプSAを活性化し、比較増幅させる。この時、メモリセルBM7にストアされている分極データはセンスアンプからプレート線への向き(即ち、"1"データ)であるので、センスアンプSAによる比較増幅の後、データを再書き込みするためにプレート線電圧V(PL<0>)とV(PL<1>)を"L"→"H"とする時、ワード線の上昇電位が低い場合、BBL0RからBBL7Rまでの各ノードが大きくブートされ、
 ノードBBL7Rの電位 - ノードBBL6Rの電位
 ノードBBL6Rの電位 - ノードBBL5Rの電位
 ノードBBL5Rの電位 - ノードBBL4Rの電位
 ノードBBL4Rの電位 - ノードBBL3Rの電位
 ノードBBL3Rの電位 - ノードBBL2Rの電位
 ノードBBL2Rの電位 - ノードBBL1Rの電位
 の間には電位差が発生する。この理由を以下に説明する。

【0061】ワード線の上昇電位が低く、セルトランスファゲートBTr0~BTr7の閾値が高いと、センスアンプSAの電源電位から更にプレート線によってブートされた時、各セルトランジスタのソース電位が上昇し、各セルトランスファゲートのゲート・ソース間電位差が深くなり、基板バイアス効果によるセルトランスファゲートBTr0~BTr7の閾値の上昇によってセルトランスファゲートBTr0からBTr7がオフする。BTr0からBTr7が一旦オフになった状態で更にプレート線が上昇するので、BTr0~BTr7がオフした後に上昇した分はプレート線と前記セルトランスファゲートBTr0~BTr7の間に連なる容量成分で容量分割される。

【0062】結果として、特にノードBBL7R、BBL6R間には大きな電位差がかかる。この時、非選択メモリセルBM6にストアされている分極の向きがセンスアンプからプレート線への向き(即ち、"1"データ)である場合は、この蓄積分極を減らす電場がかかることになり、ディスターブとなる。

【0063】以上の説明は、データ読み出し時にビット線を0Vにプリチャージする場合について述べたが、前記第1の動作例と第2の動作例の場合は、データ読み出し時にビット線をハイレベルにプリチャージする場合にも問題となる。

【0064】しかし、上記のような従来のチェーンFRAMにおけるディスターブの問題に対して、現在までその存在自体および解決方法は指摘されてこなかった。

【0065】また、従来のメモリセル構成を持つFRAMにおいて、シングルプレートパルス駆動方式により読み出し動作を行う時、プレート線電位が大きくブートされ、セルキャパシタの信頼性に悪影響を与える可能性があるという問題があり、この点について、以下に説明す

る。

【0066】図33は、従来のメモリセル構成を持つFRAMの一部の構成を概略的に示しており、特にメモリセルアレイおよび周辺回路の一部の回路接続を示している。

【0067】即ち、図33において、メモリセル領域には、メモリセルが行列状に配列されている。本例では、例えば2個のメモリセルM0、BM0を代表的に示しており、この2個のメモリセルM0、BM0のトランジスタをTr0、BTr0、キャパシタをC0、BC0で示している。前記キャパシタC0、BC0の一端は対応してプレート線PL<0>、PL<B0>に接続されており、トランジスタTr0、BTr0のゲートは対応してワード線WL<0>、WL<B0>に接続されており、トランジスタTr0、BTr0の一端はビット線BLおよびこれに相補的なBBLに接続されている。

【0068】さらに、前記ビット線対BL、BBLには、イコライズ回路EQ、フリップフロップタイプのセンスアンプSA、カラム選択ゲートCGが接続されている。

【0069】なお、前記イコライズ回路EQはイコライズ制御信号V(BEQL)により制御され、前記センスアンプSAはセンスアンプ活性化制御信号V(SEN)、V(BSEP)により制御され、前記カラム選択ゲートCGはカラム選択信号V(CSL)により制御される。

【0070】図34は、図33のFRAMにおいて、2T2C型のセルに対してワード線WL<0>、WL<B0>を選択してセルM0、BM0を選択し、シングルプレートパルス駆動方式により、セルM0からデータ"1"を読み出す動作を示すタイミングチャートである。

【0071】次に、図34を参照しながら動作例を具体的に説明する。ここでは、セルM0にはビット線からプレート線の向きの分極(データ"1")が書き込まれており、セルBM0にはプレート線からビット線の向きの分極(データ"0")が書き込まれているものとする。

【0072】まず、イコライズ制御信号V(BEQL)を下げてビット線対BL、BBLのイコライズを解除し、ビット線対BL、BBLにデータを読み出す準備をする。次に、ワード線電位V(WL<0>)、V(WL<B0>)を0VからVPPに昇圧してワード線WL<0>、WL<B0>を選択する。続いて、プレート線電圧V(PL<0>)、V(PL<B0>)をそれぞれ0VからV(PLPW)に上げることでメモリセルM0、BM0の分極を電荷の形でビット線対BL、BBLに読み出す。

【0073】次に、センスアンプ活性化信号V(SEN)を上げるとともにセンスアンプ活性化信号V(BSEP)を下げてセンスアンプSAを活性化し、センス増幅させる。そして、カラム選択信号V(CSL)を上げてカラム選択ゲートCGをオンにし、データをチップ外部へ読み出す。

【0074】上記センス増幅はプレート線電圧V(PL<0>

>)、V(PL<B0>)の電位がV(PLPW)に上昇した状態で行われるので、セルM0にストアされている"1"データが読み出される時には、ビット線BLとプレート線PL<0>のカップリングによって、プレート線電圧V(PL<0>)の電位が前記V(PLPW)よりもさらに高い電位にブートされる。

【0075】この後、プレート線電圧V(PL<0>)、V(PL<B0>)をそれぞれ0Vに下げ、ワード線電位V(WL<0>)、V(WL<B0>)をVPPから0Vに下降させてワード線WL<0>、WL<B0>を非選択状態にし、センスアンプ活性化信号V(SEN)を下げるとともにセンスアンプ活性化信号V(BSEP)を上げてセンスアンプSAを非活性化して動作を終了する。

【0076】上記したようにビット線BLとプレート線PL<0>のカップリングによってプレート線電圧V(PL<0>)の電位がさらに高い電位にブートされると、セルキャパシタの信頼性に悪影響を与える可能性があるという問題があった。

【0077】一方、半導体メモリの電源の低電圧化に伴い、MOSトランジスタの閾値も比例して下げないと動作速度が劣化してしまうが、DRAMでは、情報をメモリセルのキャパシタに電荷の形で蓄積するので、セルトランスファゲートの閾値を下げることでできず、閾値は大体0.7V前後が下限となる。

【0078】この様にMOSトランジスタの閾値を低くできないことによって引き起こされる問題点は以下の二つである。

【0079】(1) MOSトランジスタが微細化しても高い閾値を得るために、基板濃度が極めて高くなり、接合電界強度が増し、接合リーク電流が増し、リフレッシュ特性を悪化させる。

【0080】(2) セルトランスファゲートを十分にオンさせるために必要なワード線電圧VWLとビット線電圧VBLの差をスケールリングできないので、高い昇圧率VWL/VBLが必要となり、昇圧回路の設計が困難となる。

【0081】そこで、DRAMでは、以下の二つの方式を提案することにより、MOSトランジスタの閾値を下げることを可能にしている。これらの技術は、低い閾値でもトランスファゲートのリークを抑えることを目的とする。

【0082】(1) ネガティブワード線(Negative Word Line; NWL)方式。

図35(a)、(b)は、NWL方式を採用したDRAMにおける概略構成およびワード線WLとビット線BL、/BLのハイレベルの電位VBL(H)、ロウレベルの電位VBL(L)の関係を示している。

【0083】図35(a)において、Qはセルトランスファゲート、Cはセルキャパシタ、WLはワード線、WLDはワード線ドライバ、BL、/BLはビット線対、SAはセンスアンプ、SADはセンスアンプドライバで

ある。

【0084】この方式は、センスアンプSAの増幅出力のロウレベル“L”、つまりビット線電位の $V_{BL}(L)$ を接地電位 V_{SS} とし、ワード線WLの電位の“L”を負電位 V_{BB} にすることによって、セルトランスファゲートQのゲート・ソース間に負のバイアス電位 V_{BB} をかけ、セルトランスファゲートQのカットオフ特性を良くするものである。

【0085】なお、ワード線WLのハイレベル“H”は、センスアンプSAの増幅出力のハイレベル“H”、つまりビット線電位の $V_{BL}(H)$ よりも、セルトランスファゲートQの閾値 $V_{th3} + \alpha$ （つまり、 V_{th3} 以上高く）昇圧されている。

【0086】（2）ブーステッドセンスグラウンド（Boosted Sense Ground: BSG）方式。

図36（a）、（b）はBSG方式を採用したDRAMにおける概略構成およびワード線WLとビット線BL、/BLのハイレベルの電位 $V_{BL}(H)$ 、ロウレベルの電位 $V_{BL}(L)$ の関係を示している。

【0087】図36（a）において、Qはセルトランスファゲート、Cはセルキャパシタ、WLはワード線、BL、/BLはビット線対、SAはセンスアンプ、SADはセンスアンプドライバ、 V_{OFF} はオフセット電圧である。

【0088】この方式は、センスアンプSAの増幅出力の“L”レベル、つまりビット線電位の $V_{BL}(L)$ をワード線WLの“L”である接地電位 V_{SS} よりも V_{OFF} だけ浮かし、実効的にセルトランスファゲートQのゲート・ソース間に負のバイアス電位 V_{OFF} をかけ、セルトランスファゲートQのカットオフ特性を良くするものである。

【0089】なお、ワード線WLのハイレベル“H”は、センスアンプSAの増幅出力の“H”、つまりビット線電位の $V_{BL}(H)$ よりも、セルトランスファゲートQの閾値 $V_{th2} + \alpha$ （つまり、 V_{th2} 以上高く）昇圧されている。

【0090】以上説明したように、DRAMに関して、低消費電力化、低電圧化の要求に対しては上記の方法が提案されているが、セルトランスファゲートの閾値として正の値を用いる以上、ワード線の昇圧電位としては電源電圧 $V_{CC} + V_{th}$ （セルトランスファゲートの閾値）以上の V_{PP} が必要である。上記の事情は、従来のFRAMに関して同様である。

【0091】

【発明が解決しようとする課題】上述したように従来のチェーンFRAMは、読み出し／書き込み動作を行う時にディスターブが発生し、メモリセルの蓄積分極量が減少するという問題があった。

【0092】また、従来型のメモリセル構成を持つFRAMは、シングルプレートパルス駆動方式により読み出

し動作を行う時、プレート線電位がブートされ、セルキャパシタの信頼性に悪影響を与える可能性があるという問題があった。

【0093】また、DRAMまたは従来型のメモリセル構成を持つFRAMは、NWL方式あるいはBSG方式を採用した場合でも、セルトランスファゲートの閾値として正の値を用いるので、ワード線の昇圧電位としては電源電圧+セルトランスファゲートの閾値以上が必要であり、昇圧回路が必要であるという問題があった。

【0094】本発明は上記の事情に鑑みてなされたもので、チェーンFRAMにおいて読み出し／書き込み動作を行う時にディスターブの発生を抑制し、メモリセルの蓄積分極量の減少を低減ないしはなくし得る強誘電体メモリを提供することを目的とする。

【0095】また、本発明の他の目的は、従来型のメモリセル構成を持つFRAMにおいてシングルプレートパルス駆動方式により読み出し動作を行う時、プレート線のブートを抑制し、セルキャパシタの信頼性に悪影響を及ぼさない強誘電体メモリを提供することにある。

【0096】さらに、本発明の他の目的は、低電圧化、低消費電力化が可能になり、信頼性が高いDRAMまたはFRAM等の半導体メモリを提供することにある。

【0097】

【課題を解決するための手段】本発明の第1の強誘電体メモリは、強誘電体キャパシタの両電極をそれぞれ第1のMOSトランジスタのソースおよびドレインに接続してなるメモリセルを複数個直列に接続したメモリセルユニットと、前記メモリセルユニットの各第1のMOSトランジスタのゲートにそれぞれ対応して接続された複数のワード線と、前記メモリセルユニットの一端に接続されたプレート線と、前記メモリセルユニットの他端にブロック選択用スイッチ素子を介して接続された第1のビット線と、前記第1のビット線およびこれと相補的な第2のビット線からなるビット線対の電位を比較増幅するセンスアンプと、前記ブロック選択用スイッチ素子とセンスアンプとの間に挿入された第2のMOSトランジスタとを具備し、前記プレート線電位が上昇した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最小値を V_{PP1} 、前記プレート線電位が下降した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最大値を V_{PP2} とすると、 $V_{PP1} < V_{PP2}$ であることを特徴とする。

【0098】本発明の第2の強誘電体メモリは、少なくとも1個の強誘電体キャパシタの一端に第1のMOSトランジスタの一端が接続されてなるメモリセルが複数個配列されたメモリセルアレイと、前記第1のMOSトランジスタのゲートに接続されたワード線と、前記第1のMOSトランジスタの前記強誘電体キャパシタ接続側と

は反対側のノードに接続された第1のビット線と、前記強誘電体キャパシタの前記第1のMOSトランジスタ接続側とは反対側のノードに接続されたプレート線と、前記第1のビット線およびこれと相補的な第2のビット線からなるビット線対の電位を比較増幅するセンスアンプと、前記第1のビット線とセンスアンプとの間に挿入された第2のMOSトランジスタとを具備し、前記プレート線電位が上昇した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最小値を V_{PP1} 、前記プレート線電位が下降した状態で、且つ、前記センスアンプにより比較増幅が行われている時の前記第2のMOSトランジスタのゲート電位の最大値を V_{PP2} とすると、 $V_{PP1} < V_{PP2}$ であることを特徴とする。

【0099】なお、本発明の第1または第2の強誘電体メモリにおいて、前記プレート線電位が上昇した状態で、且つ、前記センスアンプにより比較増幅が行われていない時の前記第2のMOSトランジスタのゲート電位の最大値を V_{PP3} とすると、 $V_{PP1} < V_{PP3}$ にすることが望ましい。この場合、 V_{PP3} は、例えば前記第1のビット線の最大振幅電圧と前記第2のMOSトランジスタの閾値電圧との和以上である。

【0100】また、本発明の第1または第2の強誘電体メモリにおいて、前記 V_{PP2} は、前記第1のビット線の最大振幅電圧と前記第2のMOSトランジスタの閾値電圧との和以上（前記ワード線の昇圧電位 V_{PP} と同電位）にすることが望ましい。

【0101】また、本発明の第1または第2の強誘電体メモリにおいて、前記 V_{PP1} は、前記第1のビット線の最大振幅電圧と前記第2のMOSトランジスタの閾値電圧との和未満にすることが望ましい。

【0102】また、本発明の第1または第2の強誘電体メモリにおいて、前記 V_{PP1} は、前記第1のビット線の最大振幅電圧あるいは外部から供給される外部電源電圧 V_{CC} と同電位にしたり、0Vにすることができ。

【0103】本発明の第3の強誘電体メモリは、本発明の第1の強誘電体メモリにおいて、前記ブロック選択用スイッチ素子と前記第2のMOSトランジスタとの間で前記ビット線対間に接続され、所定のタイミングで前記ビット線対を0Vにイコライズするイコライズ回路をさらに具備することを特徴とする。

【0104】この場合、前記第2のMOSトランジスタのゲート電位が0Vになっている状態で、前記イコライズ回路がオン状態に制御されることにより前記メモリセルに前記プレート線から前記センスアンプへの向きの分極を再書き込みする動作や、前記イコライズ回路を、前記センスアンプが非活性になった状態でのみオン状態に制御する動作を行わせることができる。

【0105】これらの動作は、前記メモリセルユニットの選択セルからデータを読み出した後にメモリチップ外

部からデータを書き込む時や前記メモリセルユニットの選択セルからデータを読み出して再書き込みする時に応じて選択することができる。

【0106】また、前記メモリセルユニットの選択セルからデータを読み出して再書き込みする時および前記メモリセルユニットの選択セルからデータを読み出した後にメモリチップ外部からデータを書き込む時に、前記第2のMOSトランジスタのゲート電位が0Vになっている状態で、前記イコライズ回路がオン状態に制御されることにより前記メモリセルに前記プレート線から前記センスアンプへの向きの分極を再書き込みする動作を行わせることができる。

【0107】本発明の第4の強誘電体メモリは、本発明の第1の強誘電体メモリにおいて、前記ビット線対の電位をそれぞれの制御電極で受け、それぞれの一端間に前記センスアンプの一对の入出力ノードが接続される一对の第3のトランジスタと、前記センスアンプの一对の入出力ノードと前記ビット線対との間に挿入され、前記センスアンプによる比較増幅が行われた出力データを前記プレート線の電位が0Vに落とされた後にオン状態に制御されることによって前記ビット線対に伝達する一对の第4のトランジスタとをさらに具備することを特徴とする。

【0108】本発明の第1の半導体メモリは、0Vまたは0V近辺の閾値を有する少なくとも1個の第1のMOSトランジスタおよびその一端に接続された少なくとも1個の情報記憶用キャパシタが接続されてなるメモリセルと、前記第1のMOSトランジスタのゲートに接続されたワード線と、前記第1のMOSトランジスタの前記情報記憶用キャパシタ接続側とは反対側のノードに接続されたビット線と、前記ビット線の電位を参照電位と比較増幅するセンスアンプとを具備することを特徴とする。

【0109】本発明の第2の半導体メモリは、本発明の第1の半導体メモリにおいて、前記情報記憶用キャパシタは、電極間絶縁膜として強誘電体薄膜が用いられていることを特徴とする。

【0110】本発明の第3の半導体メモリは、本発明の第1の半導体メモリにおいて、前記情報記憶用キャパシタは、電極間絶縁膜としてゲート酸化膜が用いられていることを特徴とする。

【0111】本発明の第4の半導体メモリは、強誘電体キャパシタの両電極をそれぞれ第1のMOSトランジスタのソースおよびドレインに接続してなるメモリセルを複数個直列に接続したメモリセルユニットと、前記メモリセルユニットの各第1のMOSトランジスタのゲートにそれぞれ対応して接続された複数本のワード線と、前記メモリセルユニットの一端に接続されたプレート線と、前記メモリセルユニットの他端に一端が接続されたブロック選択用の第1のMOSトランジスタと、前記第

1のMOSトランジスタの他端に接続された第1のビット線と、第1のビット線およびこれと相補的な第2のビット線からなるビット線対の電位を比較増幅するセンスアンプとを具備し、前記第1のMOSトランジスタは、0Vまたは0V近辺の閾値を有することを特徴とする。

【0112】本発明の第5の半導体メモリは、本発明の第1乃至第4の半導体メモリのいずれかにおいて、前記ワード線の昇圧電位は電源電圧であることを特徴とする。

【0113】本発明の第6の半導体メモリは、本発明の第1乃至第5の半導体メモリのいずれかにおいて、前記ワード線の非選択時は負電位であることを特徴とする。

【0114】本発明の第7の半導体メモリは、本発明の第1乃至第5の半導体メモリのいずれかにおいて、前記センスアンプの増幅出力の低電位側電位は正の値であることを特徴とする。

【0115】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0116】＜第1の実施の形態＞図1は、第1の実施の形態に係るチェーンFRAMの一部の構成を概略的に示しており、特にメモリセルアレイおよび周辺回路の一部の回路接続を示している。

【0117】図1において、メモリセル領域にはメモリセルユニットが行列状に配列されている。このメモリセルユニットは、強誘電体キャパシタの両電極をそれぞれEタイプのNMOSTランジスタのソースおよびドレインに接続してなるメモリセルを複数個直列に接続してなる。

【0118】ここでは、例えば8個のセルM0～M7あるいはBM0～BM7からなる2個のセルユニットを代表的に示しており、セルM0～M7のトランジスタおよびキャパシタをTr0～Tr7およびC0～C7、セルBM0～BM7のトランジスタおよびキャパシタをBTr0～BTr7およびBC0～BC7で示している。

【0119】前記各トランジスタTr0～Tr7、BTr0～BTr7のゲートはワード線WLn0～WLn7に接続されており、上記セルユニットの一端はプレート線PL<0>、PL<1>のうちの1本に接続されており、他端はブロック選択用のMOSTランジスタQB0あるいはQB1を介して相補的な一对のビット線BL、BBLのうちの1本に接続されている。

【0120】なお、前記ワード線WLn0～WLn7は、アドレス信号に基づいてワード線選択回路（図示せず）により1本のワード線が選択されてワード線駆動電位V(WLn0)～V(WLn7)が供給される。

【0121】また、前記プレート線PL<0>、PL<1>は、アドレス信号に基づいてプレート線選択回路（図示せず）により選択され、対応してプレート線電圧V(PL<0>)、V(PL<1>)が供給される。

【0122】また、前記ブロック選択用のMOSTランジスタQB0、QB1は、対応してブロック選択信号V(BSr<0>)、V(BSr<1>)により制御される。

【0123】さらに、前記ビット線対BL、BBLには、センスアンプ領域10が接続されている。このセンスアンプ領域10には、ビット線対BL、BBLをイコライズするためのイコライズ回路EQと、ビット線対BL、BBLの電位を比較増幅するセンスアンプSAと、カラム選択ゲートCGが含まれている。

【0124】この場合、前記イコライズ回路EQとセンスアンプSAとの間には、前記ビット線対BL、BBLにそれぞれ直列に挿入されたNMOSTランジスタQSが挿入され、このトランジスタQSのゲートに印加される分離制御信号φtによってイコライズ回路EQとセンスアンプSAとは選択的に接続／切り離しが行われる。

【0125】前記イコライズ回路部EQは、ビット線ブリッジ電位VSSが与えられる接地電位線とビット線対BL、BBLとの間にそれぞれ接続されたNMOSTランジスタQNと、上記ビット線対BL、BBL間に接続されたNMOSTランジスタQEとを有し、イコライズ制御信号V(BEQL)により制御される。

【0126】前記センスアンプSAは、ビット線対BL、BBLに一对のセンスノードが接続され、センスアンプ活性化信号V(SEN)により活性／非活性状態が制御されるNMOS部と、ビット線対BL、BBLに一对のセンスノードが接続され、センスアンプ活性化信号V(BSEP)により活性／非活性状態が制御されるPMOS部からなる。

【0127】上記NMOS部は、従来と同様に、ビット線対BL、BBLに対応して各ドレインが接続され、ビット線対BBL、BLに対応して各ゲートが接続された2個のNMOSTランジスタと、この2個のNMOSTランジスタの各ソースとセンスアンプの低電位（“L”）側電位VSSとの間に共通に接続され、ゲートにセンスアンプ活性化信号V(SEN)が印加される1個のNMOSTランジスタとからなる。

【0128】前記PMOS部は、従来と同様に、ビット線対BL、BBLに対応して各ドレインが接続され、ビット線対BBL、BLに対応して各ゲートが接続された2個のPMOSTランジスタと、この2個のPMOSTランジスタの各ソースとセンスアンプの高電位（“H”）側電位VCCとの間に共通に接続され、ゲートにセンスアンプ活性化信号V(BSEP)が印加される1個のPMOSTランジスタとからなる。

【0129】前記カラム選択ゲートCGは、従来と同様に、複数のカラム（即ち、複数のビット線対BL、BBL）に対して共通に設けられたデータ線対DQ、BDQとの間にそれぞれ接続されたNMOSTランジスタQGからなり、所望のカラムのビット線対BL、/BLを選択するためのカラム選択線CSLによりスイッチ制御さ

れ、対応するカラムのセンスアンプSAにより比較増幅した後のビット線対BL、BBLのデータをデータ線対DQ、BDQに転送する、または、チップ外部より入力されたデータを所望のビット線対BL、/BLに書き込むためのものである。

【0130】<第1実施例>図2は、図1のチェインFRAMにおいて、2T2C方式のメモリセルに対するシングルプレートパルス駆動方式による読み出し／チップ外部からの書き込みを行う場合の一連の動作を示すタイミングチャートおよび図1中のセルトランジスタTr0～Tr7の一端ノードBL0r～BL7r、セルトランジスタBTr0～BTr7の一端ノードBBL0r～BBL7rの電位の詳細な推移を示している。

【0131】ここでは、例えばワード線WLr<0>を選択する場合において、選択されるセルの内、BL側のセルM0にはプレート線PL<0>からビット線BLへの向きの分極（即ち、データ“0”）、BBL側のセルBM0にはビット線BBLからプレート線PL<1>への向きの分極（即ち、データ“1”）が書き込まれているものとし、メモリセルM0、BM0からそれぞれデータ“0”、データ“1”を読み出し、続いてチップ外部よりそれぞれデータ“1”、データ“0”を書き込む場合を想定する。

【0132】以下、図2を参照しながら具体的に動作を説明する。

【0133】まず、イコライズ制御信号V(BEQL)を“L”に下げてビット線対BL、BBLのイコライズを解除してビット線対BL、BBLをフローティング状態にし、ビット線対BL、BBLにデータを読み出す準備をする。

【0134】次に、ワード線電位V(WLr<0>)をVPPから0Vに下げてセルM0、BM0の両端に電位差がかかる準備をする。続いて、ブロック選択信号V(BSr<0>)、V(BSr<1>)を0Vから“H”に上げてブロック選択トランジスタQB0、QB1をオンにし、プレート線電位V(PL<0>)、V(PL<1>)を“L”→“H”と上昇させてビット線対BL、BBLにデータを読み出す。より具体的に述べれば、プレート線電位を上昇させることによってセルトランジスタTr0の一端ノードBL0rおよびセルトランジスタBTr0の一端ノードBBL0rに読み出された電荷はセンスアンプSAの一对のセンスノードに読み出される。

【0135】次に、分離制御信号φtをVPPから0Vに下げて分離用トランジスタQSをオフにし、イコライズ回路EQとセンスアンプSAとの間でビット線対BL、BBLを切り離す。そして、センスアンプ活性化信号V(BSEP)を下げ、センスアンプ活性化信号V(SEN)を上げてセンスアンプSAによりセンス増幅させる。また、前記切り離しが行われているうちにカラム選択信号V(CSL)を“H”に上げ、センスアンプSA側のデータのチップ外への読み出し／チップ外からのデータのセンスアンプSAへの書き込みを行う。

【0136】一方、前記したように分離用トランジスタQSをオフした後、イコライズ制御信号V(BEQL)を“H”に上昇させてビット線対BL、BBLを0Vにイコライズする。これにより、セルM0、BM0の両方に“0”データ（即ち、プレート線からビット線への向きの分極）を書き込む。

【0137】続いて、プレート線電位V(PL<0>)、V(PL<1>)を0Vに下げ、イコライズ制御信号V(BEQL)を“L”に下げてビット線対BL、BBLのイコライズを解除してビット線対BL、BBLを再びフローティング状態にした後、分離制御信号φtを0V→VPPと上昇させて分離用トランジスタQSをオンすることにより、センスアンプSAによりラッチされているデータをビット線対BL、BBLに書き込む。

【0138】この時、BL側のセルM0には、センスアンプ領域10中のBL側の電位が“H”であれば、ビット線からプレート線への向きの分極が改めて書き込まれることになるが、センスアンプ領域10中のBL側の電位が“L”であれば、分離用トランジスタQSがオフの期間に最初に書き込まれたプレート線からビット線への向きのデータがそのまま書かれ続けられることになる。

【0139】本実施例では、セルM0はビット線BLからプレート線PL<0>への向きの分極（データ“1”）に書き換えられ、セルBM0にはプレート線PL<1>からビット線への向きの分極（データ“0”）がそのまま書かれ続けられることになる。

【0140】この後、ワード線WLr<0>をVPPに上昇させ、センスアンプ活性化信号(SEN)、V(BSEP)を非活性化状態にし、イコライズ制御信号V(BEQL)を“H”に上昇させる。

【0141】以上の説明は、読み出し後にチップ外部からメモリセルへ書き込みするライト(Write)サイクルの動作について説明したが、読み出し／再書き込みを行うリード(Read)サイクルの動作も図2に示したようなタイミングで以下に説明するように行われる。

【0142】即ち、まず、イコライズ制御信号V(BEQL)を“L”に下げてビット線対BL、BBLのイコライズを解除してビット線対BL、BBLをフローティング状態にし、ビット線対BL、BBLにデータを読み出す準備をする。

【0143】次に、ワード線電位V(WLr<0>)をVPPから0Vに下げてセルM0、BM0の両端に電位差がかかる準備をする。続いて、ブロック選択信号V(BSr<0>)、V(BSr<1>)を0VからVPPに上げてブロック選択トランジスタQB0、QB1をオンにし、プレート線電位V(PL<0>)、V(PL<1>)を“L”→“H”と上昇させてビット線対BL、BBLにデータを読み出す。より具体的に述べれば、プレート線電位を上昇させることによってセルトランジスタTr0の一端ノードBL0rおよびセルトランジスタBTr0の一端ノードBBL0rに読み出された電荷はセン

スアンプSAの一对のセンスノードに読み出される。

【0144】次に、分離制御信号 ϕ_t をVPPから0Vに下げて分離用トランジスタQSをオフにし、イコライズ回路EQとセンスアンプSAとの間でビット線対BL、BBLを切り離す。そして、センスアンプ活性化信号V(BSEP)を下げ、センスアンプ活性化信号V(SEN)を上げてセンスアンプSAによりセンス増幅させる。また、前記切り離しが行われているうちにカラム選択信号V(CSL)を“H”に上げ、センスアンプSA側のデータをチップ外へ読み出す。

【0145】一方、前記したように分離用トランジスタQSをオフした後、イコライズ制御信号V(BEQL)を“H”に上昇させてビット線対BL、BBLを0Vにイコライズする。これにより、セルM0、BM0の両方に“0”データ(即ち、プレート線からビット線への向きの分極)を書き込む。

【0146】続いて、プレート線電位V(PL<0>)、V(PL<1>)を0Vに下げ、イコライズ制御信号V(BEQL)を“L”に下げてビット線対BL、BBLのイコライズを解除してビット線対BL、BBLを再びフローティング状態にした後、分離制御信号 ϕ_t を0V→VPPと上昇させて分離用トランジスタQSをオンすることにより、センスアンプSAによりラッチされている読み出しデータをビット線対BL、BBLに書き込む。

【0147】この時、BL側のセルM0には、センスアンプ領域10中のBL側の電位が“H”であれば、ビット線からプレート線への向きの分極が改めて書き込まれることになるが、センスアンプ領域10中のBL側の電位が“L”であれば、分離用トランジスタQSがオフの期間に最初に書き込まれたプレート線からビット線への向きのデータがそのまま書かれ続けられることになる。

【0148】本実施例では、セルM0はプレート線PL<0>からビット線への向きの分極(データ“0”)がそのまま書かれ続けられ、セルBM0にはビット線からプレート線PL<1>への向きの分極(データ“1”)に書き換えられることになる。

【0149】この後、ワード線WLr<0>をVPPに上昇させ、センスアンプ活性化信号(SEN)、V(BSEP)を非活性状態にし、イコライズ制御信号V(BEQL)を“H”に上昇させる。

【0150】上記したリードサイクルの動作と前述したライトサイクルの動作は、イコライズ制御信号V(BEQL)の駆動方式が同じであり、リードサイクルタイムT(R)とライトサイクルタイムT(R/W)は等しい。

【0151】上記第1実施例のチェーンFRAMによれば、セルアレイとセンスアンプSAとの間に分離用トランジスタQSと、この分離用トランジスタQSよりもセルアレイ側にビット線対BL、BBLを所定のタイミングで接地電位へイコライズするためのイコライズ回路EQを設けており、これらを制御して前記ディスターブを

抑制することが可能になっている。

【0152】具体的には、分離用トランジスタQSをオフしてセンスアンプSAによりラッチされているデータを保護しつつ、イコライズ回路EQをオンの状態にしてまず“0”データをセルに書き込む。続いて、プレート線を0Vに下げてイコライズ回路EQをオフした後分離用トランジスタQSをオンすることにより、センスアンプSAにラッチされている読み出しデータあるいはチップ外部より入力したデータをセルに書き込む。このようにプレート線を0Vに下げた状態でデータをセルに書き込むので、この時、プレート線電位およびビット線電位の両方が同時に“H”になることはない。

【0153】したがって、図1中のセルトランジスタTr0～Tr7の一端ノードBL0r～BL7r、セルトランジスタBTr0～BTr7の一端ノードBBL0r～BBL7rの電位がブートされることはなく、セルトランジスタTr0～Tr7、BTr0～BTr7のソース電位の上昇はなく、基板バイアス効果によってセルトランジスタがオフすることではなく、セルトランジスタの両端に電位差が発生してセルキャパシタの蓄積分極量が減少するというディスターブの問題は生じない。

【0154】また、上記第1実施例のチェーンFRAMによれば、分離用トランジスタQSをオフにした後にセンス増幅するので、セルキャパシタの容量のアンバランスがセンスアンプSAから見えなくなるという副次的な効果がある。また、重いビット線の寄生容量CBもセンスアンプSAから見えなくなり、センス動作が高速に行われるという副次的な効果もある。

【0155】なお、上記第1実施例では、2T2C方式のセルに対する読み出し/書き込みを行う場合の一連の動作を示したが、1T1C方式のセルに対する読み出し/書き込みを行う場合は、1個のセルを選択し、このセルからビット線に読み出された電位と別途生成された参照電位(例えば前記ビット線と相補なるビット線にリフレッシュセルから読み出した電位)とを比較増幅することにより容易に実現することができる。

【0156】<第2実施例>本実施例は、第1実施例と比べて、リードサイクルとライトサイクルとでイコライズ制御信号V(BEQL)の駆動方式が異なっており、それぞれのサイクルを各々独立に最適化することが可能になっている。

【0157】本実施例において、ライトサイクルの動作は、図2を参照して前述した通りであるが、リードサイクルの動作は、以下に説明するように行われる。

【0158】図3は、図1のチェーンFRAMにおいて、2T2C方式のセルに対する本実施例におけるシングルプレートパルス駆動方式による読み出し/書き込みを行うリードサイクルとしての一連の動作を示すタイミングチャートおよび図1中のセルトランジスタTr0～Tr7の一端ノードBL0r～BL7r、セルトランジスタBTr0～

BTr7の一端ノードBBL0r ~ BBL7r の電位の詳細な推移を示している。

【0159】ここでは、前述した第1実施例と同様に、例えばワード線WLr<0>を選択する場合において、選択されるセルの内、BL側のセルM0にはプレート線PL<0>からビット線BLへの向きの分極（即ち、データ"0"）、BBL側のセルBM0にはビット線BBLからプレート線PL<1>への向きの分極（即ち、データ"1"）が書き込まれているものとし、メモリセルM0、BM0からそれぞれデータ"0"、データ"1"を読み出し、続いて再書き込みを行う場合を想定する。

【0160】以下、図3を参照しながら具体的に動作を説明する。

【0161】まず、イコライズ制御信号電位V(BEQL)を"L"に下げてビット線対BL、BBLのイコライズを解除してビット線対BL、BBLをフローティング状態にし、ビット線対BL、BBLにデータを読み出す準備をする。

【0162】次に、ワード線電位V(WLr<0>)をVPPから0Vに下げてセルM0、BM0の両端に電位差がかかる準備をする。続いて、ブロック選択信号V(BSr<0>)、V(BSr<1>)を0VからVPPに上げてブロック選択トランジスタQB0、QB1をオンにし、プレート線電位V(PL<0>)、V(PL<1>)を"L"→"H"と上昇させてビット線対BL、BBLにデータを読み出す。この際、セルトランジスタTr0の一端ノードBL0rに読み出された電荷量およびセルトランジスタBTr0の一端ノードBBL0rに読み出された電荷量はセンスアンプSAの一对のセンスノードに読み出される。

【0163】次に、分離制御信号φtをVPPから0Vに下げて分離用トランジスタQSをオフにし、イコライズ回路EQとセンスアンプSAとの間でビット線対BL、BBLを切り離す。そして、センスアンプ活性化信号V(BSEP)を下げるとともにセンスアンプ活性化信号V(SEN)を上げてセンスアンプSAによりセンス増幅させる。また、前記切り離しが行われているうちにカラム選択信号V(CSL)を上げ、センスアンプSA側のデータをチップ外へ読み出す。

【0164】ここで、注意すべきは、第1実施例においては、分離用トランジスタQSをオフした後にビット線対BL、BBLを0Vにイコライズすることにより、セルM0、BM0の両方に"0"データ（即ち、プレート線からビット線への向きの分極）を書き込んだが、本実施例では、動作の高速化のためにビット線対BL、BBLを0Vにイコライズしない。

【0165】このようにビット線対BL、BBLを0Vにイコライズしない場合、"L"側のデータが読み出されたビット線電位は0Vに近い状態であるが、完全には0Vにはならない。この段階では"0"データをしっかりと書き込めないが、電源オフ時には、セルキャパシタ

のヒステリシス特性曲線上の元の位置（y切片上の分極位置）に戻ることで問題はない。

【0166】続いて、プレート線電位V(PL<0>)、V(PL<1>)を0Vにした後、分離制御信号φtを0V→VPPと上昇させて分離用トランジスタQSをオンすることにより、センスアンプSAによりラッチされているデータをビット線対BL、BBLに書き込む。

【0167】この時、センスアンプ領域10中のBL側の電位が"H"であれば、BL側のセルM0にはビット線からプレート線への向きの分極が改めて書き込まれることになるが、センスアンプ領域10中のBL側の電位が"L"であれば、BL側のセルM0には最初に書き込まれたプレート線からビット線への向きのデータがそのまま書かれ続けられることになる。

【0168】即ち、本実施例では、ビット線対BL、BBLの電位が0Vに近い状態で、プレート線電位V(PL<0>)、V(PL<1>)を"H"に上昇させてセルM0、BM0に"0"データを書き込み、その後、プレート線電位V(PL<0>)、V(PL<1>)を0Vに下げてからセンスアンプSAからセルBM0に"1"データを書き込む。

【0169】この後、ワード線電位V(WLr<0>)をVPPに昇圧し、センスアンプ活性化信号V(SEN)、V(BSEP)を非活性状態にし、イコライズ制御信号V(BEQL)を"H"に上昇させる。

【0170】従って、第2実施例によれば、前述した第1実施例と同様にプレート線電位とビット線電位の両方が"H"になることはなく、従来の第1の動作例で述べた様なディスタースの問題は生じない。また、分離用トランジスタQSをオフにした後にセンス増幅するので、セルキャパシタのアンバランスがセンスアンプSAから見えなくなり、また、重いビット線の寄生容量CBもセンスアンプSAから見えなくなり、高速化が可能になるという副次的な効果がある。

【0171】また、第2実施例におけるリードサイクルの動作は、第1実施例におけるリードサイクルの動作と比べて、ビット線対BL、BBLのイコライズ動作が異なっている。即ち、第1実施例におけるリードサイクル（およびライトサイクル）では、分離用トランジスタQSをオフにしている間にイコライズ制御信号V(BEQL)を上げ下げしなければいけなかったが、第2実施例におけるリードサイクルでは分離用トランジスタQSをオフにしている間にイコライズ制御信号V(BEQL)を下げ放してよい。そのために、第2実施例では、リードサイクルとライトサイクルとでその独立に動作タイミングを最適化し、リードサイクルタイムT(R)をライトサイクルタイムT(R/W)より短く設定することが可能になる。

【0172】なお、上記第2実施例では、2T2C方式のセルに対する読み出し/書き込みを行う場合の一連の動作を示したが、1T1C方式のセルに対する読み出し/書き込みを行う場合は、1個のセルを選択し、このセ

ルからビット線に読み出された電位と別途生成された参照電位（例えば前記ビット線と相補なるビット線にリファレンスセルから読み出した電位）とを比較増幅することにより容易に実現することができる。

【0173】<第3実施例>本実施例は、シングルプレートパルス駆動方式を採用した第1実施例および第2実施例と比べて、ダブルプレートパルス駆動方式を採用した点異なる。

【0174】図4は、図1のチェーンFRAMにおいて、2T2C方式のセルに対するダブルプレートパルス駆動方式による読み出しおよびチップ外部からの書き込みを行う場合の一連の動作を示すタイミングチャートおよび図1中のセルトランジスタ $Tr_0 \sim Tr_7$ の一端ノード $BL_{0r} \sim BL_{7r}$ 、セルトランジスタ $BT_{0r} \sim BT_{7r}$ の一端ノード $BBL_{0r} \sim BBL_{7r}$ の電位の詳細な推移を示している。

【0175】ここでは、前述した第1実施例と同様に、例えばワード線 $WL_{r<0>}$ を選択する場合において、選択されるセルの内、BL側のセル M_0 にはプレート線 $PL_{<0>}$ からビット線 BL への向きの分極（即ち、データ"0"）、BBL側のセル BM_0 にはビット線 BBL からプレート線 $PL_{<1>}$ への向きの分極（即ち、データ"1"）が書き込まれているものとし、セル M_0 、 BM_0 からそれぞれデータ"0"、データ"1"を読み出し、続いてチップ外部からそれぞれデータ"1"、データ"0"を書き込む場合を想定する。

【0176】以下、図4を参照しながら具体的に動作を説明する。

【0177】まず、イコライズ制御信号 $V(BEQL)$ を"1"に下げてビット線対 BL 、 BBL のイコライズを解除してフローティング状態にし、データを読み出す準備をする。

【0178】次に、ワード線電位 $V(WL_{r<0>})$ を V_{PP} から0Vに下げてセル M_0 、 BM_0 の両端に電位差がかかる準備をする。続いて、ブロック選択信号 $V(BSr_{<0>})$ 、 $V(BSr_{<1>})$ を0Vから V_{PP} に上げてブロック選択トランジスタ QB_0 、 QB_1 をオンにし、プレート線電位 $V(PL_{<0>})$ 、 $V(PL_{<1>})$ を"1"→"H"→"1"とパルス駆動することによって分極量の差のみをデータとしてビット線対 BL 、 BBL に読み出す。この際、セルトランジスタ Tr_0 の一端ノード BL_{0r} に読み出された電荷量およびセルトランジスタ BT_{0r} の一端ノード BBL_{0r} に読み出された電荷量はセンスアンプSAの一对のセンスノードに読み出される。

【0179】次に、分離制御信号 ϕ_t を V_{PP} から0Vに下げて分離用トランジスタ QS をオフにし、イコライズ回路EQとセンスアンプSAとの間でビット線対 BL 、 BBL を切り離す。そして、センスアンプ活性化信号 $V(BSEP)$ を下げるとともにセンスアンプ活性化信号 $V(SEN)$ を上げてセンスアンプSAによりセンス増幅させる。また、前記切り離しが行われているうちにカラム選

択信号 $V(CSL)$ を"H"に上げ、センスアンプSA側のデータのチップ外への読み出し／チップ外からのデータのセンスアンプSAへの書き込みを行う。

【0180】一方、前記したように分離用トランジスタ QS をオフした後、イコライズ制御信号 $V(BEQL)$ を"H"に上昇させてビット線対 BL 、 BBL を0Vにイコライズし、その状態でプレート線電位 $V(PL_{<0>})$ 、 $V(PL_{<1>})$ を"1"→"H"→"1"とパルス駆動することによって、セル M_0 、 BM_0 の両方に"0"データ（即ち、プレート線からビット線への向きの分極）を書き込む。

【0181】続いて、イコライズ制御信号 $V(BEQL)$ を"1"に下げてビット線対 BL 、 BBL のイコライズを解除して再びフローティング状態にした後、分離制御信号 ϕ_t を0V→ V_{PP} と上昇させて分離用トランジスタ QS をオンすることにより、センスアンプSAによりラッチされているデータをビット線対 BL 、 BBL に書き込む。

【0182】この時、 BBL 側のセル BM_0 には、センスアンプ領域10中の BBL 側の電位が"H"であれば、ビット線からプレート線への向きの分極が改めて書き込まれることになるが、チップ外部からの書き込みによってセンスアンプ領域10中の BBL 側の電位が"1"となっているので、分離用トランジスタ QS がオフの期間に最初に書き込まれたプレート線からビット線への向きのデータがそのまま書かれ続けられることになる。一方、 BL 側のセル M_0 には、チップ外部からの書き込みによってセンスアンプ領域10中の BL 側の電位は"H"となっているので、ビット線からプレート線の向きの分極が書かれることになる。

【0183】即ち、本実施例では、ビット線対 BL 、 BBL を0Vにイコライズしながらプレート線電位 $V(PL_{<0>})$ 、 $V(PL_{<1>})$ を上昇させてセル M_0 、 BM_0 に"0"データを書き込み、その後、プレート線電位 $V(PL_{<0>})$ 、 $V(PL_{<1>})$ を0Vに下げた状態でセンスアンプSAからセル M_0 、 BM_0 にそれぞれデータ"1"、"0"を書き込む。

【0184】この後、ワード線電位 $V(WL_{r<0>})$ を V_{PP} に昇圧し、センスアンプ活性化信号 $V(SEN)$ 、 $V(BSEP)$ を非活性状態にし、イコライズ制御信号 $V(BEQL)$ を"H"に上昇させる。

【0185】従って、第3実施例によれば、前述した第1実施例と同様にプレート線電位とビット線電位の両方が"H"になることはなく、従来の第2の動作例で述べた様なディスターブの問題は生じない。また、分離用トランジスタ QS をオフにした後にセンス増幅するので、セルキャパシタの容量のアンバランスが存在してもセンスアンプSAから見えなくなり、重いビット線の寄生容量 C_B もセンスアンプSAから見えなくなるという副次的な効果がある。

【0186】なお、上記第3実施例では、2T2C方式のセルに対する読み出し／書き込みを行う場合の一連の動作を示したが、1T1C方式のセルに対する読み出し／書き込みを行う場合は、1個のセルを選択し、このセルからビット線に読み出された電位と別途生成された参照電位（例えば前記ビット線と相補なるビット線にリファレンスセルから読み出した電位）とを比較増幅することにより容易に実現することができる。

【0187】＜第4実施例＞本実施例は、ライトサイクルにおいてワード線 $W_{Lr<0>}$ を選択してセル M_0 、 BM_0 を選択し、ダブルプレートパルス駆動方式を採用した場合の動作を示した第3実施例に対し、リードサイクルにおいてワード線 $W_{Lr<7>}$ を選択してセル M_7 、 BM_7 を選択し、ダブルプレートパルス駆動方式を採用した場合の動作である。

【0188】図5は、図1のチェーンFRAMにおいて、2T2C方式のセルに対するダブルプレートパルス駆動方式による読み出しおよび再書き込みを行う場合の一連の動作を示すタイミングチャートおよび図1中のセルトランジスタ $Tr_0 \sim Tr_7$ の一端ノード $BL_{0r} \sim BL_{7r}$ 、セルトランジスタ $BTr_0 \sim BTr_7$ の一端ノード $BBL_{0r} \sim BBL_{7r}$ の電位の詳細な推移を示している。

【0189】ここでは、例えばワード線 $W_{Lr<7>}$ を選択する場合において、選択されるセルの内、BL側のセル M_7 にはプレート線 $PL_{<0>}$ からビット線BLへの向きの分極（即ち、データ“0”）、BBL側のセル BM_7 にはビット線BBLからプレート線 $PL_{<4>}$ への向きの分極（即ち、データ“1”）が書き込まれているものとし、メモリセル M_7 、 BM_7 からそれぞれデータ“0”、データ“1”を読み出し、続いて再書き込みを行う場合を想定する。

【0190】以下、図5を参照しながら具体的に動作を説明する。

【0191】まず、イコライズ制御信号 $V(BEQL)$ を“L”に下げてビット線対BL、BBLのイコライズを解除してビット線対BL、BBLをフローティング状態にし、ビット線対BL、BBLにデータを読み出す準備をする。

【0192】次に、ワード線電位 $V(W_{Lr<7>})$ を V_{PP} から0Vに下げてセル M_7 、 BM_7 の両端に電位差がかかる準備をする。続いて、ブロック選択信号 $V(BS_{r<0>})$ 、 $V(BS_{r<4>})$ を0Vから V_{PP} に上げてブロック選択トランジスタ QB_0 、 QB_1 をオンにし、プレート線電位 $V(PL_{<0>})$ 、 $V(PL_{<4>})$ を“L”→“H”→“L”とパルス駆動することによって分極量の差のみをデータとしてビット線対BL、BBLに読み出す。

【0193】次に、分離制御信号 ϕ_t を V_{PP} から0Vに下げて分離用トランジスタ QS をオフにし、イコライズ回路EQとセンスアンプSAとの間でビット線対BL、BBLを切り離す。そして、センスアンプ活性化信号 V

(BSEP)を下げるるとともにセンスアンプ活性化信号 $V(SEN)$ を上げてセンスアンプSAによりセンス増幅させる。また、前記切り離しが行われているうちにカラム選択信号 $V(CSL)$ を“H”に上げ、センスアンプSA側のデータのチップ外への読み出し／チップ外からのデータのセンスアンプSAへの書き込みを行う。

【0194】一方、前記したように分離用トランジスタ QS をオフした後、イコライズ制御信号 $V(BEQL)$ を“H”に上昇させてビット線対BL、BBLを0Vにイコライズし、その状態でプレート線電位 $V(PL_{<0>})$ 、 $V(PL_{<4>})$ を“L”→“H”→“L”とパルス駆動することによって、セル M_7 、 BM_7 の両方に“0”データ（即ち、プレート線からビット線への向きの分極）を書き込む。

【0195】続いて、イコライズ制御信号 $V(BEQL)$ を“L”に下げてビット線対BL、BBLのイコライズを解除してビット線対BL、BBLを再びフローティング状態にした後、分離制御信号 ϕ_t を0V→ V_{PP} と上昇させて分離用トランジスタ QS をオンすることにより、センスアンプSAによりラッチされているデータをビット線対BL、BBLに書き込む。

【0196】この時、センスアンプ領域10中のBL側の電位が“H”であれば、BL側のセル M_7 にはビット線からプレート線への向きの分極が改めて書き込まれることになるが、センスアンプ領域10中のBL側の電位が“L”であれば、BL側のセル M_7 には分離用トランジスタ QS がオフの期間に最初に書き込まれたプレート線からビット線への向きのデータがそのまま書かれ続けられることになる。

【0197】即ち、本実施例では、ビット線対BL、BBLを0Vにイコライズしながらプレート線電位 $V(PL_{<0>})$ 、 $V(PL_{<4>})$ を昇圧してセル M_7 、 BM_7 に“0”データを書き込み、その後、プレート線電位 $V(PL_{<0>})$ 、 $V(PL_{<4>})$ を0Vに下げた状態でセンスアンプSAからセル BM_7 に“1”データを書き込む。

【0198】この後、ワード線電位 $V(W_{Lr<7>})$ を V_{PP} に上昇させ、センスアンプ活性化信号 $V(SEN)$ 、 $V(BSEP)$ を非活性化状態にし、イコライズ制御信号 $V(BEQL)$ を“H”に上昇させる。

【0199】従って、第4実施例によれば、前述した第1実施例と同様にプレート線電位とビット線電位の両方が“H”になることはなく、従来の第3の動作例で述べた様なディスタープの問題は生じない。また、分離用トランジスタ QS をオフにした後にセンス増幅するので、セルキャパシタの容量のアンバランスがセンスアンプSAから見えなくなる。また、重いビット線の寄生容量 C_B もセンスアンプSAから見えなくなり、センス動作の高速化が図れるという副次的な効果がある。

【0200】なお、上記第4実施例では、2T2C方式のセルに対する読み出し／再書き込みを行う場合の一連

の動作を示したが、1T1C方式のセルに対する読み出し／再書き込みを行う場合は、1個のセルを選択し、このセルからビット線に読み出された電位と別途生成された参照電位（例えば前記ビット線と相補なるビット線にリファレンスセルから読み出した電位）とを比較増幅することにより容易に実現することができる。

【0201】＜第5実施例＞本実施例は、プレート線電位を0Vに下げ、続いてイコライズ制御信号V(BEQL)を“L”に下げた後にデータをビット線対BL、BBLに書き始める第1実施例と比べて、プレート線電位を0Vにまで下げきる途中の段階でデータをビット線対BL、BBLに書き始めることにより、第1実施例よりも高速化を図ることが可能になる点が異なる。

【0202】図6は、図1のチェーンFRAMにおいて、2T2C方式のメモリセルに対するシングルプレートパルス駆動方式による読み出し／チップ外部からの書き込みを行う場合の一連の動作を示すタイミングチャートおよび図1中のセルトランジスタTr0～Tr7の一端ノードBL0r～BL7r、セルトランジスタBTr0～BTr7の一端ノードBBL0r～BBL7rの電位の詳細な推移を示している。

【0203】ここでは、例えばワード線WLr<0>を選択する場合において、選択されるセルの内、BL側のセルM0にはプレート線PL<0>からビット線BLへの向きの分極（即ち、データ“0”）、BBL側のセルBM0にはビット線BBLからプレート線PL<0>への向きの分極（即ち、データ“1”）が書き込まれているものとし、メモリセルM0からデータ“0”を読み出し、続いてチップ外部よりデータ“1”を書き込む場合を想定する。

【0204】以下、図6を参照しながら具体的に動作を説明する。

【0205】まず、イコライズ制御信号V(BEQL)を“L”に下げてビット線対BL、BBLのイコライズを解除してビット線対BL、BBLをフローティング状態にし、ビット線対BL、BBLにデータを読み出す準備をする。

【0206】次に、ワード線電位V(WLr<0>)をVPPから0Vに下げてセルM0、BM0の両端に電位差がかかる準備をする。続いて、ブロック選択信号V(BSr<0>)、V(BSr<1>)を0VからVPPに上げてブロック選択トランジスタQB0、QB1をオンにし、プレート線電位V(PL<0>)、V(PL<1>)を“L”→“H”と上昇させてビット線対BL、BBLにデータを読み出す。より具体的に述べれば、プレート線電位を上昇させることによってセルトランジスタTr0の一端ノードBL0rおよびセルトランジスタBTr0の一端ノードBBL0rに読み出された電荷はセンスアンプSAの一对のセンスノードに読み出される。

【0207】次に、分離制御信号φtをVPPから0Vに下げて分離用トランジスタQSをオフにし、イコライズ回路EQとセンスアンプSAとの間でビット線対BL、BBLを切り離す。そして、センスアンプ活性化信号V

(BSEP)を下げ、センスアンプ活性化信号V(SEN)を上げてセンスアンプSAによりセンス増幅させる。また、前記切り離しが行われているうちにカラム選択信号V(CSL)を“H”に上げ、センスアンプSA側のデータのチップ外への読み出し／チップ外からのデータのセンスアンプSAへの書き込みを行う。

【0208】一方、前記したように分離用トランジスタQSをオフした後、イコライズ制御信号V(BEQL)を“H”に上昇させてビット線対BL、BBLを0Vにイコライズする。これにより、セルM0、BM0の両方に“0”データ（即ち、プレート線からビット線への向きの分極）を書き込む。

【0209】続いて、イコライズ制御信号V(BEQL)を“L”に下げてビット線対BL、BBLのイコライズを解除してビット線対BL、BBLを再びフローティング状態にする。次に、プレート線電位V(PL<0>)、V(PL<1>)を0Vに下げていく動作と同時に、分離制御信号φtを0V→VPPと上昇させて分離用トランジスタQSをオンすることにより、センスアンプSAによりラッチされているデータをビット線対BL、BBLに書き込む。

【0210】この時、BL側のセルM0には、センスアンプ領域10中のBL側の電位が“H”であれば、ビット線からプレート線への向きの分極が改めて書き込まれることになるが、センスアンプ領域10中のBL側の電位が“L”であれば、分離用トランジスタQSがオフの期間に最初に書き込まれたプレート線からビット線への向きのデータがそのまま書かれ続けられることになる。

【0211】本実施例では、セルM0はビット線BLからプレート線PL<0>への向きの分極（データ“1”）に書き換えられ、セルBM0にはプレート線PL<0>からビット線への向きの分極（データ“0”）がそのまま書かれ続けられることになる。

【0212】この後、ブロック選択信号V(BSr<0>)、V(BSr<1>)を“H”から“L”に下げてブロック選択トランジスタQB0、QB1をオフにし、続いて、ワード線WLr<0>をVPPに上昇させ、センスアンプ活性化信号(SEN)、V(BSEP)を非活性状態にし、イコライズ制御信号V(BEQL)を“H”に上昇させる。

【0213】従って、第5実施例によれば、前述した第1実施例と同様に、ディスタブの低減効果、セルキャパシタの容量のアンバランスがセンスアンプSAから見えなくなるという副次的な効果、ビット線の寄生容量C8もセンスアンプSAから見えなくなり、センス動作が高速に行われるという副次的な効果が得られる。

【0214】しかも、第5実施例において、特徴的なことは、プレート線電位V(PL<0>)、V(PL<1>)を0Vにまで下げきる途中で、センスアンプSAによりラッチされているデータをビット線対BL、BBLに書き始めるので、前記第1実施例よりも高速化を図ることが可能になることである。

【0215】なお、上記第5実施例では、2T2C方式のセルに対する読み出し／書き込みを行う場合の一連の動作を示したが、1T1C方式のセルに対する読み出し／書き込みを行う場合は、1個のセルを選択し、このセルからビット線に読み出された電位と別途生成された参照電位（例えば前記ビット線と相補なるビット線にリファレンスセルから読み出した電位）とを比較増幅することにより容易に実現することができる。

【0216】＜第6実施例＞本実施例では、前述した第1実施例のリードサイクルの動作およびライトサイクルの動作と比べて、分離制御信号 ϕ_t の“L”レベルが異なる場合の例を説明する。

【0217】図7は、図1のチェーンFRAMにおいて、2T2C方式のセルに対する本実施例におけるシングルプレートパルス駆動方式による読み出し／再書き込みを行う場合のリードサイクルとしての一連の動作を示すタイミングチャートおよび図1中のセルトランジスタ $Tr_0 \sim Tr_7$ の一端ノード $BL_{0r} \sim BL_{7r}$ 、セルトランジスタ $BT_{r0} \sim BT_{r7}$ の一端ノード $BBL_{0r} \sim BBL_{7r}$ の電位の詳細な推移を示している。

【0218】図8は、図1のチェーンFRAMにおいて、2T2C方式のセルに対する本実施例におけるシングルプレートパルス駆動方式による読み出し後にチップ外部からメモリセルへ書き込みする場合のライトサイクルとしての一連の動作を示すタイミングチャートおよび図1中のセルトランジスタ $Tr_0 \sim Tr_7$ の一端ノード $BL_{0r} \sim BL_{7r}$ 、セルトランジスタ $BT_{r0} \sim BT_{r7}$ の一端ノード $BBL_{0r} \sim BBL_{7r}$ の電位の詳細な推移を示している。

【0219】まず、リードサイクルの動作について、図7を参照しながら、具体的に動作を説明する。ここでは、例えばワード線 $WL_{r<0>}$ を選択する場合において、選択されるセルの内、BL側のセル M_0 にはプレート線 $PL_{<0>}$ からビット線BLへの向きの分極（即ち、データ“0”）、BBL側のセル BM_0 にはビット線BBLからプレート線 $PL_{<1>}$ への向きの分極（即ち、データ“1”）が書き込まれているものとし、メモリセル M_0 からデータ“0”を読み出し、続いて再書き込みを行う場合を想定する。

【0220】まず、出力イネーブル制御信号/OEが活性状態（“L”）になって出力可能状態になった後、イコライズ制御信号V(BEQL)を“L”に下げてビット線対BL、BBLのイコライズを解除してビット線対BL、BBLをフローティング状態にし、ビット線対BL、BBLにデータを読み出す準備をする。

【0221】次に、ワード線電位V($WL_{r<0>}$)をVPPから0Vに下げてセル M_0 、 BM_0 の両端に電位差がかかる準備をする。続いて、ブロック選択信号V($BS_{r<0>}$)、V($BS_{r<1>}$)を0VからVPPに上げてブロック選択トランジスタ QB_0 、 QB_1 をオンにし、プレート線電位V($PL_{<0>}$)、V($PL_{<1>}$)を“L”→“H”と上昇させてビット

線対BL、BBLにデータを読み出す。この際、セルトランジスタ Tr_0 の一端ノード BL_{0r} に読み出された電荷量およびセルトランジスタ BT_{r0} の一端ノード BBL_{0r} に読み出された電荷量はセンスアンプSAの一对のセンスノードに読み出される。

【0222】次に、分離制御信号 ϕ_t をVPPからVPP未満の一定の電位（本例ではVCC）に下げる。そして、センスアンプ活性化信号V(BSEP)を下げるるとともにセンスアンプ活性化信号V(SEN)を上げてセンスアンプSAによりセンス増幅させる。また、分離制御信号 ϕ_t をVCCに下げているうちにカラム選択信号V(CSL)を上げ、センスアンプSA側のデータをチップ外へ読み出す。

【0223】ここで、注意すべきは、前記第6実施例においては、前記分離制御信号 ϕ_t をVPPから0Vまで下げて分離用トランジスタQSを完全にオフにしていたが、本例では分離制御信号 ϕ_t をVPPからVCCまでしか下げない。

【0224】このように分離制御信号 ϕ_t をVPPからVCCに下げておくと、図1中のセルトランジスタ $BT_{r1} \sim BT_{r7}$ の一端ノード $BBL_{1r} \sim BBL_{7r}$ の電位は、前記したようにプレート線電位V($PL_{<0>}$)、V($PL_{<1>}$)を上昇させることによって“H”に持ち上がっている状態にあり、センス増幅によりセルトランジスタ BT_{r0} の一端ノード BBL_{0r} の電位は持ち上がるが、上記ノード BBL_{0r} の電位はVCC-V_{th}までしか持ち上がらない。したがって、セルトランジスタ $BT_{r1} \sim BT_{r7}$ の一端ノード $BBL_{1r} \sim BBL_{7r}$ のブートは、前記ノード BBL_{0r} の電位がVCCまで持ち上がった時に比べて低減し、結果的にディスタ urbを低減させることが可能になる。

【0225】続いて、プレート線電位V($PL_{<0>}$)、V($PL_{<1>}$)を0Vにした後、分離制御信号 ϕ_t をVPPに戻して分離用トランジスタQSをオンすることにより、センスアンプSAによりラッチされているデータをビット線対BL、BBLに書き込む。この時、センスアンプ領域10中のBL側の電位が“H”であれば、BL側のセル M_0 にはビット線からプレート線への向きの分極が改めて書き込まれることになるが、センスアンプ領域10中のBL側の電位が“L”であれば、BL側のセル M_0 には最初に書き込まれたプレート線からビット線への向きのデータがそのまま書かれ続けられることになる。

【0226】即ち、本実施例では、プレート線電位V($PL_{<0>}$)、V($PL_{<1>}$)を“H”に上昇させた時にセンスアンプ領域10中のBL側の電位（データ“0”）をセル M_0 に書き込む。また、センスアンプ領域10中のBBL側の電位（データ“1”）をセル BM_0 に再書き込みする時は、前記分離制御信号 ϕ_t をVPPに戻す時点でノード BBL_{0r} の電位がVCC-V_{th}にまで達しているため、ノード BBL_{0r} の電位をVCCまで回復させる時間が短く、高速化が達成される。

【0227】この後、ブロック選択信号V($BS_{r<0>}$)、V

(BSr<1>)をVPPから0Vに下げてブロック選択トランジスタQB0、QB1をオフにし、続いて、ワード線駆動電位V(WLr<0>)をVPPに昇圧し、センスアンプ活性化信号V(SEN)、V(BSEP)を非活性状態にし、イコライズ制御信号V(BEQL)を“H”に上昇させる。

【0228】即ち、第6実施例のリードサイクルの動作では、ノードBBL0rの電位がVCC-Vthまでしか持ち上がらないようにし、プレート線電位V(PL<0>)、V(PL<1>)を0Vにした後に分離制御信号φtをVPPに戻してノードBBL0rの電位をVCCまで上げるという工夫により、セルトランジスタBT1~BT7の一端ノードBBL1r~BBL7rのブートを低減させ、ディスターブを低減させることと高速化を両立させることが可能になる。

【0229】次に、ライトサイクルの動作について、図8を参照しながら、具体的に動作を説明する。ここでは、例えばワード線WLr<0>を選択する場合において、選択されるセルの内、BL側のセルM0にはプレート線PL<0>からビット線BLへの向きの分極(即ち、データ“0”)、BBL側のセルBM0にはビット線BBLからプレート線PL<1>への向きの分極(即ち、データ“1”)が書き込まれているものとし、セルM0、BM0からそれぞれデータ“0”、データ“1”を読み出し、続いてチップ外部からセルデータ“1”、データ“0”を書き込む場合を想定する。

【0230】このライトサイクルの動作は、前述したリードサイクルの動作と同様にデータを読み出した後、再書き込みのタイミングでチップ外部からメモリセルへデータを書き込むものである。

【0231】まず、ライトイネーブル制御信号/WEが活性状態(“L”)になって書き込み可能状態になった後、イコライズ制御信号V(BEQL)を“L”に下げてビット線対BL、BBLのイコライズを解除してビット線対BL、BBLをフローティング状態にし、データを読み出す準備をする。

【0232】次に、ワード線電位V(WLr<0>)を“H”から“L”に下げてセルM0、BM0の両端に電位差がかかる準備をする。続いて、ブロック選択信号V(BSr<0>)、V(BSr<1>)を“L”から“H”に上げてブロック選択トランジスタQB0、QB1をオンにし、プレート線電位V(PL<0>)、V(PL<1>)を“L”→“H”と上昇させてビット線対BL、BBLにデータを読み出す。この際、セルトランジスタTr0の一端ノードBL0rに読み出された電荷量およびセルトランジスタBT0の一端ノードBBL0rに読み出された電荷量はセンスアンプSAの一対のセンスノードに読み出される。

【0233】次に、分離制御信号φtをVPPからVPP未満の一定の電位(本例ではVCC)に下げる。そして、センスアンプ活性化信号V(BSEP)を下げるとともにセンスアンプ活性化信号V(SEN)を上げてセンスアンプSAによりセンス増幅させる。また、分離制御信号φtをVCC

に下げているうちにカラム選択信号V(CSL)を上げ、チップ外部からセンスアンプSAにデータを書き込む。

【0234】前記したように分離制御信号φtをVPPからVCCに下げておくと、図1中のセルトランジスタBT1~BT7の一端ノードBBL1r~BBL7rの電位は、前記したようにプレート線電位V(PL<0>)、V(PL<1>)を上昇させることによって“H”に持ち上がっている状態にあり、センス増幅によりセルトランジスタBT0の一端ノードBBL0rの電位は持ち上がるが、上記ノードBBL0rの電位はVCC-Vthまでしか持ち上がらない。

【0235】したがって、セルトランジスタBT1~BT7の一端ノードBBL1r~BBL7rのブートは、前記ノードBBL0rの電位がVCCまで持ち上がった時に比べて低減し、結果的にディスターブを低減させることが可能になる。

【0236】また、セルトランジスタTr1~Tr7に対するディスターブの低減効果はBT1~BT7に比べて一層顕著になると同時に高速化も達成できる。

【0237】セルデータのリード時は、セルトランジスタTr1~Tr7の一端ノードBL1r~BL7rの電位は、前記したように“H”に持ち上がっている状態にあり、センス動作によってBL0rは一度0Vになった後に外部からの書き込みによって“H”に持ち上がるのだが、このときVCC-Vthまでしか持ち上がらない。このため、VCCまで持ち上がった場合に比べると、ブートは低下し、ディスターブも低減される。また、分離制御信号φtをVPPに戻す時点でBL0rの電位はVCC-Vthにまで回復しているため、VCCまで戻す時間が少なくすみ、高速化を達成できる。

【0238】続いて、プレート線電位V(PL<0>)、V(PL<1>)を0Vにした後、分離制御信号φtをVPPに戻して分離用トランジスタQSをオンすることにより、センスアンプSAによりラッチされているデータをビット線対BL、BBLを介してセルM0、BM0に書き込む。

【0239】即ち、本実施例では、プレート線電位V(PL<0>)、V(PL<1>)を“H”に上昇させた時にセンスアンプ領域10中のBBL側の電位(データ“0”)をセルBM0に書き込む。

【0240】この後、ブロック選択信号V(BSr<0>)、V(BSr<1>)をVPPから0Vに下げてブロック選択トランジスタQB0、QB1をオフにし、続いて、ワード線駆動電位V(WLr<0>)をVPPに昇圧し、センスアンプ活性化信号V(SEN)、V(BSEP)を非活性状態にし、イコライズ制御信号V(BEQL)を“H”に上昇させる。

【0241】即ち、第6実施例のライトサイクルの動作では、ノードBBL0rの電位がVCC-Vthまでしか持ち上がらないようにし、プレート線電位V(PL<0>)、V(PL<1>)を0Vにした後に分離制御信号φtをVPPに戻してノードBBL0rの電位をVCCまで上げるという工夫により、セルトランジスタBT1~BT7の一端ノードBBL1r~BBL7rとセルトランジスタTr1~Tr7の一端ノードBL1r

～BL7rのブートを低減させ、結果的にディスターブを低減させることが可能になる。特に、セルトランジスタTr1～Tr7のディスターブ低減効果が顕著となる。

【0242】従って、第6実施例によれば、第1実施例、第2実施例と同様に、ディスターブの低減効果などが得られるほか、分離制御信号φtをVPPに戻す時点でノードBL0rあるいはBBL0rの電位をVCCまで回復させる時間が短くなり、前記第1実施例、第2実施例よりも高速化を図ることが可能になる。

【0243】なお、上記第6実施例では、2T2C方式のセルに対する読み出し／書き込みを行う場合の一連の動作を示したが、1T1C方式のセルに対する読み出し／書き込みを行う場合は、1個のセルを選択し、このセルからビット線に読み出された電位と別途生成された参照電位（例えば前記ビット線と相補なるビット線にリファレンスセルから読み出した電位）とを比較増幅することにより容易に実現できる。

【0244】＜第7実施例＞前述した第6実施例では、センス増幅が行われている状態でプレート線の電位が下降する前後での分離制御信号φtの電位を一通りに規定していたが、本実施例では、ディスターブを低減させるために最低限必要な動作とそれ以外の動作とを明確化している。

【0245】図9は、図7を参照して前述した第6実施例のリードサイクルの動作とほぼ同様に行うリードサイクルの動作を示しており、第6実施例のリードサイクルの動作と比べて、基本的には同じであるが、分離制御信号φtの電位の不定（don't care）期間を斜線で示している。

【0246】即ち、メモリセルからセンスアンプに信号が伝われば、分離制御信号φtの電位はVPPでもそれ未満の電位（本例ではVCC）でもよく、センス増幅の前後でVCCを一定にした場合にはアクセスタイムの高速化を図ることも可能である。

【0247】また、メモリセルへの再書き込みが行われた後、分離制御信号φtの電位はVPPからVCCに下げられることになる。

【0248】図10は、図8を参照して前述した第6実施例のライトサイクルの動作とほぼ同様に行うリードサイクルの動作を示しており、第6実施例のライトサイクルの動作と比べて、基本的には同じであるが、分離制御信号φtの電位の不定（don't care）期間を斜線で示している。

【0249】即ち、メモリセルからセンスアンプに信号が伝われば、分離制御信号φtの電位はVPPでもそれ未満の電位（本例ではVCC）でもよく、センス増幅の前後でVCCを一定にした場合にはアクセスタイムの高速化を図ることも可能である。

【0250】また、メモリセルへの書き込みが行われた後、分離制御信号φtの電位はVPPからVCCに下げられ

ることになる。

【0251】従って、第7実施例によれば、第6実施例と同様のディスターブの低減効果などが得られるほか、アクセスタイムのさらなる高速化を図ることが可能になる。

【0252】なお、上記第7実施例では、2T2C方式のセルに対する読み出し／書き込みを行う場合の一連の動作を示したが、1T1C方式のセルに対する読み出し／書き込みを行う場合は、1個のセルを選択し、このセルからビット線に読み出された電位と別途生成された参照電位（例えば前記ビット線と相補なるビット線にリファレンスセルから読み出した電位）とを比較増幅することにより容易に実現することができる。

【0253】＜第8実施例＞前述した第1～第7実施例では、分離制御信号φtの電位を変化させたが、本実施例では、分離制御信号φtの電位をVPP等の一定電位に固定するか、分離制御用トランジスタQSを取り去る。

【0254】図11は、図1のチェーンFRAMにおいて、2T2C方式のセルに対するダブルプレートパルス駆動方式による読み出しおよびチップ外部からの書き込みを行う場合の一連の動作を示すタイミングチャートおよび図1中のセルトランジスタBT0～BT7の一端ノードBBL0r～BBL7rの電位の詳細な推移を示している。

【0255】ここでは、例えばワード線WLr<7>を選択する場合において、選択されるセルの内、BL側のセルM7にはプレート線PL<0>からビット線BLへの向きの分極（即ち、データ“0”）、BBL側のセルBM7にはビット線BBLからプレート線PL<1>への向きの分極（即ち、データ“1”）が書き込まれているものとし、メモリセルM7からデータ“0”を読み出し、続いてチップ外からの書き込みを行う場合を想定する。

【0256】以下、図11を参照しながら具体的に動作を説明する。

【0257】まず、イコライズ制御信号V(BEQL)を“L”に下げてビット線対BL、BBLのイコライズを解除してフローティング状態にし、ブロック選択信号V(BSr<0>)、V(BSr<1>)を0VからVPPに上げてトランジスタQB0、QB1をオンにし、データを読み出す準備をする。また、分離制御信号φtの電位をVPP等の一定電位に固定しておく。

【0258】次に、ワード線電位V(WLr<7>)をVPPから0Vに下げてセルM7、BM7の両端に電位差がかかる準備をする。続いて、ブロック選択信号V(BSr<0>)、V(BSr<1>)を0VからVPPに上げてブロック選択トランジスタQB0、QB1をオンにし、プレート線電位V(PL<0>)、V(PL<1>)を“L”→“H”→“L”とパルス駆動することによって分極量の差のみをデータとしてビット線対BL、BBLに読み出す。

【0259】次に、センスアンプ活性化信号V(BSEP)を下げるるとともにセンスアンプ活性化信号V(SEN)を上げ

てセンスアンプSAによりセンス増幅させる。ここで注意すべき点は、この時点ではセンスアンプSAの電源電位はVCC未満であるということである。また、カラム選択信号V(CSL)を“H”に上げ、センスアンプSA側のデータのチップ外への読み出し／チップ外からのデータのセンスアンプSAへの書き込みを行う。

【0260】続いて、プレート線電位V(PL<0>)、V(PL<1>)を“L”→“H”→“L”とパルス駆動することによって、セルM7、BM7に再書き込みを行う。そして、上記プレート線電位V(PL<0>)、V(PL<1>)が

“L”(0V)になった後にセンスアンプSAの電源電位V(SAP)をVCC未満の電位からVCCに引き上げる。

【0261】この後、ワード線電位V(WL<7>)をVPPに上昇させ、ブロック選択信号V(BSr<0>)、V(BSr<1>)を0Vに下げ、センスアンプ活性化信号V(SEN)、V(BSE)を非活性状態にし、イコライズ制御信号V(BEQL)を“H”に上昇させる。

【0262】即ち、第8実施例によれば、プレート線電位V(PL<0>)、V(PL<1>)が“H”の状態にある時のセンスアンプSAの電源電位V(SAP)をVCCより引き下げておき、プレート線電位V(PL<0>)、V(PL<1>)が0Vに下降した後にセンスアンプSAの電源電位V(SAP)をVCCに上昇させる。

【0263】このようにセンス増幅中にセンスアンプSAの電源電位V(SAP)を調節することにより、ディスタ―ブを低減させることができる。

【0264】なお、上記第8実施例では、2T2C方式のセルに対する読み出し／書き込みを行う場合の一連の動作を示したが、1T1C方式のセルに対する読み出し／書き込みを行う場合は、1個のセルを選択し、このセルからビット線に読み出された電位と別途生成された参照電位(例えば前記ビット線と相補なるビット線にリファレンスセルから読み出した電位)とを比較増幅することにより容易に実現することができる。

【0265】ここで、上述した第1の実施の形態を要約して説明する。

【0266】チェーンFRAMにおいて、例えばダブルプレートパルス駆動方式において、センスアンプを起動した後に再書き込みのためのプレート線の駆動を行う場合を想定する。

【0267】この場合、従来のチェーンFRAMでは、“1”読みの場合、ビット線がセンスアンプの電源レベルまで増幅された上に更にプレート線により駆動されるので、メモリセルユニット内部のノードがブートされることになり、基板バイアス効果によってトランスファゲートがオフする。

【0268】その状態で更にプレート線電位が上昇するので、セルトランスファゲートがオフした後に上昇した分は、プレート線とセルトランスファゲートの間に連なる容量成分により容量分割され、結果として、各セルト

ランスファゲートの両端に電位差が発生し、これによって各セルキャパシタの蓄積分極量が減少し、ディスタ―ブが発生する。

【0269】そこで、第1の実施の形態に係るチェーンFRAMでは、セルアレイとセンスアンプSAとの間に分離用トランジスタQSと、この分離用トランジスタQSよりもセルアレイ側にビット線対BL、BBLを所定のタイミングで接地電位へイコライズするためのイコライズ回路EQを設け、これらを制御して前記ディスタ―ブを抑制する。

【0270】具体的には分離用トランジスタQSをオフして読み出したデータを保護しつつ、イコライズ回路EQをオンの状態にして2発目のプレート線駆動を行うことにより、まず“0”データをセルに書き込む。

【0271】続いて、プレート線を0Vに下げてイコライズ回路EQをオフした後に分離用トランジスタQSをオンすることにより、センスアンプSAにラッチされている読み出しデータ、あるいはチップ外部より入力したデータをセルに書き込む。この時、センスアンプSAにラッチされているデータが“1”であれば、セルの“0”データは“1”に書き換わることになる。

【0272】以上の動作では、プレート線とセンスアンプが共に“H”になることはないので、従来のチェーンFRAMで生じる様なディスタ―ブの問題は生じない。

【0273】<第2の実施の形態>前述した第1の実施の形態に係るチェーンFRAMは、イコライズ回路EQとセンスアンプSAとの間に分離用トランジスタQSを設け、センス増幅の前に分離用トランジスタQSをオフし、プレート線電位を0Vに下降させた後に分離用トランジスタQSをオンし、メモリセルに書き込みあるいは再書き込みを行うように動作させた。

【0274】これに対して、前記イコライズ回路EQとセンスアンプSAとの間の電気的な分離手段を変更した第2の実施の形態に係るチェーンFRAMについて以下に説明する。

【0275】図12は、第2の実施の形態に係るチェーンFRAMの一部の構成を概略的に示しており、特にメモリセルアレイおよび周辺回路の一部の回路接続を示している。

【0276】第2の実施の形態に係るチェーンFRAMの構成は、第1の実施の形態に係るチェーンFRAMの構成と比べて、分離用トランジスタQSを省略し、センスアンプ領域20、書き込み回路21が異なり、その他は同じであるので図1中と同一符号を付している。

【0277】即ち、センスアンプ領域20においては、ビット線対BL、BBLにイコライズ回路EQが接続されるとともにセンス入力用トランジスタの制御電極(本例では、NMOSTランジスタQAのゲート)が接続されている。このトランジスタQAは、ソースが接地電位VSSに接続され、ドレインに第2のビット線対BL2あ

るいはBBL2が接続されている。この第2のビット線対BL2、BBL2にセンスアンプSA、カラム選択ゲートCGおよびビット線プリチャージ回路PRが接続されている。

【0278】そして、上記第2のビット線対BL2、BBL2と前記ビット線対BL、BBLとの間に書き込み回路21が接続している点異なる。

【0279】前記ビット線プリチャージ回路PRは、ビット線プリチャージ電位VPRが与えられるビット線プリチャージ線と第2のビット線対BL2、BBL2との間にそれぞれ接続されたプリチャージ用のNMOSTランジスタQPを有し、ビット線プリチャージ制御信号V(BLPR)により制御される。

【0280】前記書き込み回路21は、第2のビット線対BL2、BBL2とビット線対BL、BBLとの間にそれぞれ接続された書き込み用のNMOSTランジスタQWからなり、書き込み制御信号V(WRITE)により制御される。

【0281】第2の実施の形態に係るチェインFRAMの動作は、第1の実施の形態に係るチェインFRAMの動作と比べて、ビット線プリチャージ回路PRにより第2のビット線対BL2、BBL2を所定電位VPRにプリチャージし、選択セルからビット線対BL、BBLに読み出された電位をトランジスタQAのゲートで直接に受け、第2のビット線対BL2、BBL2に接続されているセンスアンプSAで比較増幅が完了した後に、書き込み回路21をオンさせてビット線対BL、BBLとBL2、BBL2をそれぞれ接続し、選択セルに書き戻すように動作させる点異なる。

【0282】<第9実施例>図13は、図12に示した第2の実施の形態に係るチェインFRAMにおいて、2T2C方式のセルに対するシングルプレートパルス駆動方式による読み出しおよびチップ外部からの書き込みを行う場合の一連の動作を示すタイミングチャートおよび図12中のセルトランジスタTr0～Tr7の一端ノードBLOR～BL7Rの電位、セルトランジスタBTr0～BTr7の一端ノードBBLOR～BBL7Rの電位の詳細な推移を示している。

【0283】ここでは、例えばワード線WLr<7>を選択する場合において、選択されるセルの内、BL側のセルM7にはプレート線PL<0>からビット線BLへの向きの分極(即ち、データ"0")、BBL側のセルBM7にはビット線BBLからプレート線PL<1>への向きの分極(即ち、データ"1")が書き込まれているものとし、メモリセルM7からデータ"0"を読み出す場合を想定する。

【0284】以下、図13を参照しながら具体的に動作を説明する。

【0285】まず、イコライズ制御信号V(BEQL)を“L”に下げてビット線対BL、BBLの0Vへのイコライズを解除してビット線対BL、BBLをフローティ

ング状態にし、ビット線対BL、BBLにデータを読み出す準備をする。また、ビット線プリチャージ制御信号V(BLPR)も“L”に下げて第2のビット線対BL2、BBL2のプリチャージも解除し、ビット線対BL、BBLに読み出されているデータが自動的にセンスアンプSA側に伝わる準備をする。

【0286】次に、ワード線電位V(WLr<7>)をVPPから0Vに下げてセルM7、BM7の両端に電位差がかかる準備をする。続いて、ブロック選択信号電位V(BSr<0>)、V(BSr<1>)を0VからVPPに上げてブロック選択トランジスタQB0、QB1をオンにし、プレート線電位V(PL<0>)、V(PL<1>)を“L”→“H”と上昇させることによってデータをビット線対BL、BBLに読み出す。

【0287】この状態では書き込み制御信号W(WRITE)は0Vであり、センスアンプSAはセルアレイ領域とは切り離されたままであり、この状態の時にセンスアンプ活性化信号V(BSEP)を下げるるとともにセンスアンプ活性化信号V(SEN)を上げてセンスアンプSAによりセンス増幅させる。

【0288】また、前記切り離しが行われているうちにカラム選択信号V(CSL)を“H”に上げ、センスアンプSA側のデータのチップ外への読み出しを行う。

【0289】一方、前記センス増幅とほぼ同時にイコライズ制御信号V(BEQL)を“H”に上昇させてビット線対BL2、BBL2を0Vにイコライズする。これにより、ビット線対BL、BBLが0Vになり、その状態でプレート線電位V(PL<0>)、V(PL<1>)が“H”になっていることによって、セルM7、BM7の両方に“0”データ(即ち、プレート線からビット線への向きの分極)が書き込まれる。

【0290】続いて、プレート線電位V(PL<0>)、V(PL<1>)を0Vに下げ、イコライズ制御信号V(BEQL)を“L”に下げてビット線対BL、BBLのイコライズを解除してビット線対BL2、BBL2を再びフローティング状態にした後、書き込み制御信号V(WRITE)を“H”にすることにより、センスアンプSAによりラッチされているデータをビット線対BL、BBLに書き込む。

【0291】この時、センスアンプ領域20中のBL2側の電位が“H”であれば、BL側のセルM7にはビット線からプレート線への向きの分極が改めて書き込まれることになるが、センスアンプ領域20中のBL2側の電位が“L”であれば、BL側のセルM7には最初に書き込まれたプレート線からビット線への向きのデータがそのまま書かれ続けられることになる。

【0292】即ち、本実施例では、ビット線対BL、BBLを0Vにイコライズしながらプレート線電位V(PL<0>)、V(PL<1>)を昇圧してセルM7、BM7に“0”データを書き込み、その後、プレート線電位V(PL<0>)、

V(PL<A>)を0Vに下げた状態でセンスアンプSAからセルBM7に"1"データを書き込む。

【0293】この後、ワード線WLr<0>をVPPに上昇させ、センスアンプ活性化信号V(SEN)、V(BSEP)を非活性状態にし、イコライズ制御信号V(BEQL)を"H"に上昇させる。

【0294】従って、第9実施例によれば、プレート線とビット線の両方が"H"になることはなく、従来の第3の動作例で述べた様なディスタープの問題は生じない。

【0295】また、ビット線対に読み出されたデータをトランジスタQAのゲートで受けるので、センス増幅する際に、セルキャパシタの容量のアンバランスが存在してもセンスアンプSAから見えなくなり、重いビット線の寄生容量もセンスアンプSAから見えなくなるために高速なセンス動作ができるという副次的な効果がある。

【0296】また、第2の実施の形態に係るチェインFRAMによれば、第1の実施の形態に係るチェインFRAMの構成と比べて、センスアンプ領域20は複雑になる(パターン面積が大きくなる)ものの、第1の実施の形態に係るチェインFRAMの第4実施例と比べて、プレート線のパルス駆動とセンス増幅との間に分離用トランジスタQSを分離制御信号φtによりオフ状態にクロッキングする動作が不要になるので、その分だけ動作を高速化することが可能になるという利点がある。

【0297】<第3の実施の形態>第3の実施の形態に係るFRAMは、例えば図14に示すように構成されているように従来型のメモリセル構成を持ち、従来技術のFRAMと比べて、イコライズ回路EQとセンスアンプSAとの間でビット線BL、BBLにそれぞれ直列に分離制御用のNMSOトランジスタQSが挿入されている点が異なり、その他はほぼ同様である。

【0298】<第10実施例>図14は、第10実施例に係るFRAMの一部の構成を概略的に示しており、特にメモリセルアレイおよび周辺回路の一部の回路接続を示している。

【0299】即ち、図14において、メモリセルアレイ領域には、1個のセルトランジスタと1個の強誘電体キャパシタとが直列に接続されてなるメモリセルが行列状に配列されている。本例では、例えば2個のメモリセルM0、BM0を代表的に示しており、この2個のメモリセルM0、BM0のトランジスタをTr0、BT0、キャパシタをC0、BC0で示している。前記キャパシタC0、BC0の一端は対応してプレート線PL<A>、PLに接続されており、トランジスタTr0、BT0のゲートは対応してワード線WLr<0>、WLrに接続されており、トランジスタTr0、BT0の一端はビット線BLおよびこれに相補的なBBLに接続されている。

【0300】さらに、前記ビット線対BL、BBLには、イコライズ回路EQ、フリップフロップタイプのセ

ンスアンプSA、カラム選択ゲートCGが接続されている。この場合、イコライズ回路EQとセンスアンプSAとの間でビット線BL、BBLにそれぞれ直列に分離制御用トランジスタQSが挿入されている。

【0301】なお、前記イコライズ回路EQはイコライズ制御信号V(BEQL)により制御され、前記センスアンプSAはセンスアンプ活性化制御信号V(SEN)、V(BSEP)により制御され、前記カラム選択ゲートCGはカラム選択信号V(CSL)により制御され、前記分離制御用トランジスタQSは分離制御信号φtにより制御される。

【0302】図15は、図14のFRAMにおいて、2T2C型のセルに対してワード線WLr<0>、WLrを選択してセルM0、BM0を選択し、シングルプレートパルス駆動方式により、セルM0、BM0からそれぞれデータ"1"、データ"0"を読み出して再書き込みする動作を示すタイミングチャートである。

【0303】以下に、図15を参照しながら動作例を具体的に説明する。ここでは、セルM0にはビット線からプレート線の向きの分極(データ"1")が書き込まれており、セルBM0にはプレート線からビット線の向きの分極(データ"0")が書き込まれているものとする。

【0304】まず、イコライズ制御信号V(BEQL)を下げてビット線対BL、BBLのイコライズを解除し、データを読み出す準備をする。次に、ワード線電位V(WLr<0>)、V(WLr)を0VからVPPに昇圧してワード線WLr<0>、WLrを選択する。続いて、プレート線電圧V(PL<A>)、V(PL)をそれぞれ0VからV(PLPW)に上げることによりメモリセルM0、BM0の分極を電荷の形でビット線対BL、BBLに読み出す。

【0305】次に、分離制御信号φtをVPPから0Vに下げて分離制御用トランジスタQSをオフにした後、センスアンプ活性化信号V(SEN)を上げるとともにセンスアンプ活性化信号V(BSEP)を下げてセンスアンプSAを活性化し、センス増幅させる。そして、カラム選択信号V(CSL)を上げてカラム選択ゲートCGをオンにし、データをチップ外部へ読み出す。

【0306】また、イコライズ制御信号V(BEQL)を上げてイコライズ回路EQをオンにし、ビット線対BL、BBLを0Vにイコライズすることにより、セルM0、BM0にまずデータ"0"を書き込む。

【0307】次に、プレート線電圧V(PL<A>)、V(PL)をそれぞれ0Vに下げ、分離制御信号φtを"L"から"H"に戻して分離制御用トランジスタQS、QSを再びオンにし、センスアンプSAにラッチされているデータをセルM0、BM0に再書き込みする。

【0308】したがって、前記プレート線電圧V(PL<A>)、V(PL)の電位がV(PLPW)に上昇した状態でセルM0から読み出された"1"データのセンス増幅が行われる時には、分離制御用トランジスタQSがオフになってビット線BLとプレート線PL<A>との容量カップリ

ングが防止されているので、プレート線電圧 $V(PL<0>)$ の電位が前記 $V(PLPW)$ よりもさらに高い電位にブートされることはない。

【0309】この後、ワード線駆動電位 $V(WLr<0>)$ 、 $V(WLr<B0>)$ を VPP から0Vに下降させてワード線 $WLr<0>$ 、 $WLr<B0>$ を非選択状態にし、センスアンプ活性化信号 $V(SEN)$ を下げるるとともにセンスアンプ活性化信号 $V(BSEP)$ を上げてセンスアンプSAを非活性化して動作を終了する。

【0310】なお、分離制御用のNMSOトランジスタQSのゲート電位は、前述した第1の実施の形態における第1、第2、第5～第8実施例に準じて制御することが可能である。

【0311】＜第4の実施の形態＞図16は、第4の実施の形態に係るFRAMの一部の構成を概略的に示す。

【0312】このFRAMの構成は、従来のFRAMと比べて、(1)各メモリセルMCは、閾値0Vまたは0V近辺の値を持つ1個のイントリンシック型(Iタイプ)のMOSTランジスタと1個の強誘電体キャパシタが直列に接続されてなる点、(2)NWL方式またはBSG方式を応用し、ワード線の昇圧電位として電源電圧 VCC を用いている点、(3)上記BSG方式を採用した場合にはビット線対のイコライズ電位 $VBLP$ が0Vより高い電位に制御される点が異なり、その他はほぼ同様である。

【0313】即ち、図16において、メモリセル領域は、閾値0Vまたは0V近辺の値を持つIタイプMOSTランジスタ Qi の1個と強誘電体キャパシタCの1個とが直列に接続されてなるセルMCが行列状に配列されている。このメモリセル領域における同一列のセルMCは、トランジスタ Qi の一端側(キャパシタ接続側とは反対側)のノードがビット線BLまたはそれに相補なビット線BBLに接続されている。

【0314】また、同一行のセルMCのトランジスタ Qi のゲートには共通にワード線 $WL<i>$ (代表的に $WL<0>$ ～ $WL<7>$ のみ示している)が接続されている。そして、同一行のセルMCのセルキャパシタCのプレート電極(トランジスタ接続側とは反対側の電極)には共通にプレート線 $PL<i>$ (代表的に $PL<0>$ ～ $PL<7>$ のみ示している)が接続されている。これらのプレート線 $PL<i>$ は、前記ワード線 $WL<i>$ にはほぼ平行に配置されている。

【0315】前記複数本のワード線 $WL<i>$ は、アドレス信号に基づいてワード線選択回路(図示せず)により1本乃至は2本(一対)が選択されてワード線昇圧電位が供給される。また、複数本のプレート線 $PL<i>$ も、アドレス信号に基づいてプレート線選択回路(図示せず)により1本乃至は2本(一対)が選択され、プレート線電圧が供給される。

【0316】EQは前記ビット線対BL、BBLをイコ

ライズするイコライズ回路、SAはセンスアンプ、CGはカラム選択ゲートであり、これらは図1中と同様に構成されている。

【0317】＜第11実施例＞図17は、図16のFRAMにおいて、NWL方式を採用し、2T2C方式のセルに対してダブルプレートパルス駆動方式による読み出しおよびチップ外部から書き込みを行う擬似SRAM方式による一連の動作を示すタイミングチャートである。

【0318】まず、電源を投入すると電源電圧 VCC が徐々に上昇していくが、あるところで電源投入検知回路(図示せず)が働き、検出パルス $V(Detect)$ が立つ。それを受けて、ワード線は全て負電位 VBB にバイアスされ、また、イコライズ制御信号 $V(BEQL)$ が“H”になってビット線対BL、BBLのイコライズが行われる。

【0319】イコライズの解除に引き続いて、ロウアドレスストローブ信号/RASを下げ、カラムアドレスストローブ信号CASを上げてロウとカラムのアドレスをラッチする。

【0320】ロウアドレスを受けて選択されたワード線 $WL<0>$ と $WL<1>$ の電位を0Vから VCC まで昇圧し、プレート線電位 $V(PL<0>)$ 、 $V(PL<1>)$ をパルス駆動する。センスアンプSAによる比較増幅と同時にカラム選択信号 $V(CSL)$ を活性化してカラム選択ゲートCGをオンさせ、チップ外部にデータを出し、再びプレート線電位 $V(PL<0>)$ 、 $V(PL<1>)$ をパルス駆動することによって再書き込みを行う。

【0321】この動作の終了後、選択ワード線の電位を下げて再びビット線対BL、BBLのイコライズを行うことにより、動作は終了する。

【0322】上記したようにNWL方式とIタイプのトランジスタ Qi を用いることを組み合わせてワード線の昇圧電位を従来の $VPP(=VCC+V_{th})$ 以上から VCC に下げることにより、セルトランジスタ Qi のTDD(Transient Dependent Dielectric Breakdown)特性を良くすることが可能になる。

【0323】＜第12実施例＞図18は、図16のFRAMにおいて、BSG方式を採用し、2T2C方式のセルに対してダブルプレートパルス駆動方式による読み出しおよびチップ外部から書き込みを行う擬似SRAM方式による一連の動作を示すタイミングチャートである。

【0324】まず、電源を投入すると電源電圧 VCC が徐々に上昇していくが、あるところで電源投入検知回路(図示せず)が働き、検出パルス $V(Detect)$ が立つ。それを受けて、ビット線対のイコライズ電位 $VBLP$ がVOFFに設定される。こうなった状態でイコライズ制御信号 $V(BEQL)$ が“H”になってビット線対BL、BBLのVOFF電位へのイコライズが行われる。イコライズの解除に引き続いて、/RASを下げ、CASを上げてロウとカラムのアドレスをラッチする。

【0325】ロウアドレスを受けて選択されたワード線

WL<0>とWL<1>の電位を0VからV_{CC}まで昇圧し、プレート線電位V(PL<0>)、V(PL<1>)をパルス駆動する。センスアンプSAによる比較増幅と同時にカラム選択線V(CSL)を選択してチップ外部にデータを出し、再びプレート線電位V(PL<0>)、V(PL<1>)をパルス駆動することによって再書き込みを行う。

【0326】この動作の終了後、選択ワード線の電位を下げて再びビット線対BL、BBLのイコライズを行うことにより、動作は終了する。

【0327】この動作において注目すべきは、ワード線10電位を立ち上げる時は0VからV_{CC}までであり、V_{PP}(=V_{CC}+V_{th}以上)までは昇圧しないという点である。

【0328】上記したようにBSG方式とIタイプのセルトランジスタQ_iを用いることを組み合わせてワード線昇圧電位を従来のV_{PP}からV_{CC}に下げることにより、セルトランジスタQ_iのTDD特性をよくすることが可能になる。

【0329】<第5の実施の形態>第4の実施の形態では、1個のセルトランジスタと1個の強誘電体キャパシタとが直列に接続されてなるメモリセルのアレイを持つFRAMにおいて、IタイプのセルトランジスタQ_iを用い、NWL方式またはBSG方式を組み合わせることでワード線の昇圧電位を従来のV_{PP}からV_{CC}に下げることにより、セルトランジスタQ_iのTDD特性を改善した。

【0330】これに対して、第5の実施の形態では、チェーンFRAMにおいて、NWL方式またはBSG方式を併用し、ワード線の昇圧電位をV_{PP}(=V_{CC}+V_{th}以上)から下げることなく、Iタイプのセルトランジスタを用いることができる様にし、基板バイアス効果を低減し、結果としてディスタープ(非選択セルにかかる分極を弱める方向の電場)を減少させる。

【0331】図19は、第5の実施の形態に係るチェーンFRAMの一部の構成を概略的に示しており、特に2T2C方式のセルのアレイおよび周辺回路の一部の回路接続を示している。

【0332】即ち、図19に示すチェーンFRAMは、図29に示したチェーンFRAMと比べて、(1)セルトランジスタTr0~Tr7、BTr0~BTr7は、Iタイプのトランジスタが用いられている点、(2)NWL方式またはBSG方式が採用されている点と異なり、その他の部分は同様であるので、図29中と同一符号を付している。

【0333】<第13実施例>図20は、図19のチェーンFRAMにおいて、NWL方式を採用し、2T2C方式のセルに対してダブルプレートパルス駆動方式による読み出しおよびチップ外部からの書き込みを行う場合の一連の動作を示すタイミングチャートである。

【0334】ここでは、例えばワード線WLr<7>を選択する場合において、選択されるセルの内、BL側のセル

M7にはプレート線PL<0>からビット線BLへの向きの分極(即ち、データ"0")、BBL側のセルBM7にはビット線BBLからプレート線PL<1>への向きの分極(即ち、データ"1")が書き込まれているものとし、メモリセルM7、BM7からそれぞれデータ"0"、データ"1"を読み出し、再書き込みを行う場合を想定する。

【0335】図21は、図20の動作に際して図19中のセルトランジスタBTr0~BTr7の一端のノードBBL0r~BBL7rの電位の詳細な推移を示している。

【0336】以下、図20および図21を参照しながら具体的に動作を説明する。

【0337】まず、電源を投入すると電源電圧V_{CC}が徐々に上昇していくが、あるところで電源投入検知回路(図示せず)が働き、検出パルスV(Detect)が立つ。それを受けて、ワード線は全てV_{PP}電位に昇圧され、また、イコライズ制御信号V(BEQL)が"H"になってビット線対BL、BBLのイコライズも行われる。イコライズの解除に引き続いて、/RASを下げ、CASを上げてロウとカラムのアドレスをラッチする。

【0338】次に、選択ワード線の電位V(WLr<7>)を負の電位V_{BB}としてワード線WLr<7>を選択し、セルM7、BM7の両端に電位差がかかる準備をする。続いて、ブロック選択信号V(BSr<0>)、V(BSr<1>)を"L"から"H"に上げてブロック選択トランジスタQB0、QB1をオンにし、プレート線電位V(PL<0>)、V(PL<1>)を"L"→"H"→"L"とパルス駆動することによってセルM7、BM7の分極量の差のみを電荷としてビット線対BL、BBLに読み出す。

【0339】前記プレート線電位V(PL<0>)、V(PL<1>)が"L"に一旦下がった時に、センスアンプ活性化信号V(SEN)を上げるとともにセンスアンプ活性化信号V(BSEP)を下げてセンスアンプSAを活性化し、センスアンプSAにより比較増幅させる。ここで、カラム選択線V(CSL)を"H"にすることによってカラムゲートCGをオンにし、チップ外部にデータを出力する。

【0340】この後、再びプレート線電位を"L"→"H"→"L"とパルス駆動することによって、センスアンプSAによりラッチされているデータをビット線対BL、BBLに再書き込みを行う。このプレート線電位が"H"になった時、セルBM7にストアされている分極データはセンスアンプからプレート線への向き(即ち、データ"1")であるので、センスアンプSAによる比較増幅とプレート線電位の上昇の結果、図21に示す様にBBL0rからBBL7rまでの各ノードの電位がブートされ、

ノードBBL7rの電位 - ノードBBL6rの電位
ノードBBL6rの電位 - ノードBBL5rの電位
ノードBBL5rの電位 - ノードBBL4rの電位
ノードBBL4rの電位 - ノードBBL3rの電位
ノードBBL3rの電位 - ノードBBL2rの電位

ノードBBL2Rの電位 - ノードBBL1Rの電位
との間には電位差が発生する。

【0341】この電位差は、BBL1RからBBL7Rまでの各ノードがセンスアンプSAの電源電位から更にブートされるので、基板バイアス効果による閾値の上昇によってセルトランジスタBT_{r0}～BT_{r7}がオフすることによって発生する。

【0342】この時、非選択セルBM6にストアされている分極の向きがセンスアンプからプレート線への向き（即ち、データ"1"）の場合は、この分極を弱める電場がかかることになる。

【0343】しかし、図32を参照して前述した従来の第3の動作例と比較して分かる様に、1タイプのセルトランジスタBT_{r0}～BT_{r7}を用いて閾値の基板バイアス効果による上昇を抑えたので、結果としてオフしづらくなり、ディスタープの大きさが減少する。

【0344】＜第14実施例＞図22は、図19のチェインFRAMにおいて、BSG方式を採用し、2T2C方式のセルに対してダブルプレートパルス駆動方式による読み出しおよび再書き込みを行う場合の一連の動作を示すタイミングチャートである。

【0345】ここでは、例えばワード線WL_{r<7>}を選択する場合において、選択されるセルの内、BL側のセルM7にはプレート線PL_{<0>}からビット線BLへの向きの分極（即ち、データ"0"）、BBL側のセルBM7にはビット線BBLからプレート線PL_{<1>}への向きの分極（即ち、データ"1"）が書き込まれているものとし、メモリセルBM7、M7からそれぞれデータ"1"、データ"0"を読み出し、続いてチップ外からそれぞれデータ"0"、データ"1"の書き込みを行う場合を想定する。

【0346】図23は、図22の動作に際して図19中のセルトランジスタBT_{r0}～BT_{r7}の一端ノードBBL_{0r}～BBL_{7r}の電位の詳細な推移を示している。

【0347】以下、図22および図23を参照しながら具体的に動作を説明する。

【0348】まず、電源を投入すると電源電圧V_{CC}が徐々に上昇していくが、あるところで電源投入検知回路（図示せず）が働き、検出パルスV_(Detect)が立つ。それを受けて、ワード線は全てV_{PP}電位に昇圧され、また、ビット線対のイコライズ電位V_{BLP}がV_{OFF}に設定され、フローティング状態になる。こうなった状態でイコライズ制御信号V_(BEQL)が"H"になってビット線対BL、BBLのV_{OFF}へのイコライズが行われる。イコライズの解除に引き続いて、/RASを下げ、CASを上げてロウとカラムのアドレスをラッチする。

【0349】続いて、選択ワード線の電位V_(WL_{r<7>})を0Vに下げ、セルM7、BM7の両端に電位差がかかる準備をする。続いて、ブロック選択信号V_(BSr<0>)、V_(BSr<1>)を"L"から"H"に上げてブロック選択トランジスタQB₀、QB₁をオンにし、プレート線電位V

(PL_{<0>})、V_(PL<1>)を"L"→"H"→"L"とパルス駆動することによってセルM7、BM7の分極量の差のみを電荷としてビット線対BL、BBLに読み出す。

【0350】前記プレート線電位V_(PL<0>)、V_(PL<1>)が"L"に一旦下がった状態の時に、センスアンプ活性化信号V_(SEN)を上げるとともにセンスアンプ活性化信号V_(BSEP)を下げてセンスアンプSAを活性化し、センスアンプSAにより比較増幅させる。

【0351】この後、再びプレート線電位を"L"→"H"→"L"とパルス駆動することによって、センスアンプSAによりラッチされているデータをビット線対BL、BBLに再書き込みを行う。このプレート線電位が"H"になった時、セルBM7にストアされている分極データはセンスアンプからプレート線への向き（即ち、データ"1"）であるので、センスアンプSAによる比較増幅とプレート線電位の上昇の結果、図23に示す様にBBL_{0r}からBBL_{7r}までの各ノードの電位がブートされ、

ノードBBL_{7r}の電位 - ノードBBL_{6r}の電位

ノードBBL_{6r}の電位 - ノードBBL_{5r}の電位

ノードBBL_{5r}の電位 - ノードBBL_{4r}の電位

ノードBBL_{4r}の電位 - ノードBBL_{3r}の電位

ノードBBL_{3r}の電位 - ノードBBL_{2r}の電位

ノードBBL_{2r}の電位 - ノードBBL_{1r}の電位

との間に電位差が発生する。

【0352】この電位差は、BBL1RからBBL7Rまでの各ノードがセンスアンプSAの電源電位から更にブートされるので、基板バイアス効果による閾値の上昇によってセルトランジスタT_{r0}～T_{r7}がオフすることによって発生する。

【0353】この時、非選択セルBM6にストアされている分極の向きがセンスアンプからプレート線への向き（即ち、データ"1"）の場合は、この分極を弱める電場がかかることになる。

【0354】しかし、図32を参照して前述した従来の第3の動作例と比較して分かる様に、1タイプのセルトランジスタを用いて閾値の基板バイアス効果による上昇を抑えたので、結果としてオフしづらくなり、ディスタープの大きさが減少する。

【0355】この後、センスアンプSAが活性化されたままの状態でカラム選択信号V_(CSL)が"H"になり、チップ外部からカラム選択ゲートCGを通じてセンスアンプSAにデータが書き込まれる。

【0356】ここで、上記第5の実施の形態を要約して説明する。

【0357】従来のチェインFRAMにおいて、例えばダブルプレートパルス駆動方式によりセンスアンプを起動した後に再書き込みのためのパルス駆動を行うと、"1"読みの場合はセンスアンプの電源レベルまで増幅された上に更にプレート線駆動によってブートされること

になり、基板バイアス効果によって各セルトランスファゲートがオフし、結果としてメモリセルの両端に電位差が発生し、これによってメモリセルの分極量が減少し、ディスターブが発生するという問題がある。

【0358】そこで、第5の実施の形態に係るチェインFRAMにおいては、セルトランスファゲートとして0Vまたは0V近辺の値を持つIタイプのトランジスタを採用し、NWL方式またはBSG方式を併用し、ワード線電位としてはVPP電位(VCC以上)を与える。このようにIタイプのセルトランジスタを使った結果として、

閾値の基板バイアス効果による上昇を低減を図り、結果として基板バイアス効果によってオフしにくくさせてディスターブを減少させることができた。

【0359】<第6の実施の形態>次に、上記第6の実施の形態に係るDRAMについて説明する。

【0360】図24は、第6の実施の形態に係るDRAMの一部の構成を概略的に示しており、特にセルアレイおよび周辺回路の一部の回路接続を示している。

【0361】このDRAMの構成は、従来のDRAMと比べて、(1)メモリセル11は、閾値0Vまたは0V近辺の値を持つ1個のIタイプのMOSTランジスタQiおよびキャパシタ絶縁膜としてゲート酸化膜を持つ1個の情報記憶用キャパシタCが直列に接続されてなる点、(2)NWL方式またはBSG方式を応用し、ワード線昇圧電位として電源電圧VCCを用いている点が異なり、その他はほぼ同様である。

【0362】即ち、図24において、メモリセル領域には、閾値0Vまたは0V近辺の値を持つIタイプの1個のMOSTランジスタQiと情報記憶用の1個のキャパシタCとが直列に接続されてなるメモリセル11が行列状に配列されている(代表的に1個のみ示す)。

【0363】そして、上記メモリセル領域のメモリセル11を選択するための複数のワード線ワード線WL(代表的に1本のみ示す)と、メモリセル11との間でデータの授受を行うビット線対BL、BBL(代表的に1対のみ示す)とが互いに交差する様に設けられている。

【0364】さらに、ビット線対BL、BBL間には、ビット線ブリチャージ回路31、センスアンプ16、カラム選択ゲート17が接続されており、カラム選択ゲート17には一対のデータ線DQ、BDQが接続されている。

【0365】なお、前記ビット線ブリチャージ回路31はイコライズ制御信号EQLにより制御され、ブリチャージ電源線41から供給される電位Vrefにビット線対BL、BBLをブリチャージする。

【0366】前記センスアンプ16は、センスアンプ制御信号SENにより制御されるNMOSセンスアンプ部およびセンスアンプ制御信号bSEPにより制御されるPMOSセンスアンプ部からなる。また、前記カラム選択ゲート17は、カラムゲート制御信号CSLにより制御され

る。

【0367】<第15実施例>第15実施例として、図24のDRAMにおいてNWL方式を採用し、ワード線昇圧電位として電源電圧VCCを用いて読み出しおよび再書き込みを行う場合の一連の動作を説明する。

【0368】このDRAMの動作は、NWL方式を採用した従来のDRAMの動作と比べて、ワード線の昇圧電位として電源電圧VCCが用いられている点が異なり、その他は同じである。

【0369】即ち、まず、電源を投入すると電源電圧VCCが徐々に上昇していくが、あるところで電源投入検知回路(図示せず)が働き、検出パルス(図示せず)が立つ。それを受けて、ワード線は全て負電位VBBにバイアスされ、また、イコライズ制御信号EQLが“H”になってビット線対BL、BBLのイコライズが行われる。

【0370】メモリセルからデータを読み出す時、イコライズ制御信号EQLが“H”から“L”になってイコライズが解除され、ビット線対BL、BBLはフローティング状態になる。

【0371】引き続いて、ロウアドレスストロープ信号(図示せず)を活性化し、カラムアドレスストロープ信号(図示せず)を活性化してロウとカラムのアドレスをラッチする。ロウアドレスにより選択されたワード線WLが負電位VBBからVCCに昇圧し、メモリセルのデータがビット線BLに読み出される。

【0372】続いて、センスアンプ制御信号SENが“L”から“H”、センスアンプ制御信号bSEPが“H”から“L”になることによりセンスアンプ16が活性化し、ビット線対BL、BBLの電位がセンス増幅される。

【0373】このセンスアンプ16の増幅出力(読み出しデータ)は、セルへ再書き込みされるとともに、データ線対DQ、BDQを介してバッファ回路(図示せず)へ出力される。

【0374】この後、選択ワード線WLを“H”から“L”にしてセルへのアクセスを止め、引き続いて、センスアンプ制御信号bSEPを“L”から“H”、センスアンプ制御信号SENを“H”から“L”へ切り替えることによりセンスアンプ16を非活性状態にする。

【0375】さらに、イコライズ制御信号EQLを“H”にしてビット線対BL、BBLをブリチャージ電圧Vrefに設定し、待機状態となる。

【0376】上記第15実施例のDRAMは、NWL方式(メモリセルの非選択の時はワード線を負バイアスしておく方式)を採用しているため、実効的にセルトランジスタのゲート・ソース間を考えた場合、ゲート電位ーソース電位として負電位をかける効果を持つ。これにより、非選択時にはセルトランジスタを十分にカットオフさせることができる。

【0377】また、NWL方式を採用したDRAMにお

いて、従来のように閾値として正の値を持つNMOSトランジスタをセルトランジスタとして用いると、ワード線の昇圧電位としては電源電圧 $V_{CC} + V_{th}$ 以上の電位 V_{PP} にする必要がある。しかし、本実施例では、0Vまたは0V近辺の値を持つIタイプのセルトランジスタを採用してセルトランジスタの閾値を低減させることにより、ワード線の昇圧電位を電源電圧 V_{CC} のままにすることが可能になっており、セルトランジスタのTDOB特性が向上する。

【0378】<第16実施例>第16実施例として、図24のDRAMにおいてBSG方式を採用し、ワード線昇圧電位として電源電圧 V_{CC} を用いて読み出しおよび再書き込みを行う場合の一連の動作を説明する。

【0379】このDRAMの動作は、BSG方式を採用した従来のDRAMの動作と比べて、ワード線の昇圧電位として電源電圧 V_{CC} が用いられている点が異なり、その他は同じである。

【0380】即ち、まず、電源を投入すると電源電圧 V_{CC} が徐々に上昇していくが、あるところで電源投入検知回路（図示せず）が働き、検出パルス（図示せず）が立つ。それを受けて、ビット線対のイコライズ電位（プリチャージ電源線41から供給される電位 V_{ref} ）がワード線の“L”レベルよりも V_{OFF} だけ浮いたオフセット電圧に設定される。こうなった状態でイコライズ制御信号 EQ_L が“H”になってビット線対 BL 、 BB_L の V_{OFF} 電位へのイコライズが行われる。

【0381】メモリセルからデータを読み出す時、イコライズ制御信号 EQ_L が“H”から“L”になってイコライズが解除され、ビット線対 BL 、 BB_L はフローティング状態になる。

【0382】引き続き、ロウアドレスストロブ信号（図示せず）を活性化し、カラムアドレスストロブ信号（図示せず）を活性化してロウとカラムのアドレスをラッチする。ロウアドレスにより選択されたワード線 WL が0Vから V_{CC} に昇圧し、メモリセルのデータがビット線 BL に読み出される。

【0383】続いて、センスアンプ制御信号 SEN が“L”から“H”、センスアンプ制御信号 $bSEP$ が“H”から“L”になることによりセンスアンプ16が活性化し、ビット線対 BL 、 BB_L の電位がセンス増幅される。

【0384】このセンスアンプ16の増幅出力（読み出しデータ）は、セルへ再書き込みされるとともに、データ線対 DQ 、 BDQ を介してバッファ回路（図示せず）へ出力される。

【0385】この後、選択ワード線 WL を“H”から“L”にしてセルへのアクセスを止め、引き続き、センスアンプ制御信号 $bSEP$ を“L”から“H”、センスアンプ制御信号 SEN を“H”から“L”へ切り替えることによりセンスアンプ16を非活性状態にする。

【0386】さらに、イコライズ制御信号 EQ_L を“H”にしてビット線対 BL 、 BB_L をプリチャージ電圧 V_{ref} （オフセット電圧 V_{OFF} ）に設定し、待機状態となる。

【0387】上記第16実施例のDRAMは、BSG方式（センスアンプの増幅出力の“L”レベル、つまり、ビット線の“L”レベルをワード線の“L”レベルよりも V_{OFF} だけ浮かす方式）を採用しているため、実効的にセルトランジスタのゲート・ソース間を考えた場合、ゲート電位－ソース電位として負電位をかける効果を持つ。これにより、非選択時にはセルトランジスタを十分にカットオフさせることができる。

【0388】また、BSG方式を採用したDRAMにおいて、従来のように閾値として正の値を持つNMOSトランジスタをセルトランジスタとして用いると、ワード線の昇圧電位としては電源電圧 $V_{CC} + V_{th}$ 以上の電位 V_{PP} にする必要がある。しかし、本実施例では、0Vまたは0V近辺の値を持つIタイプのセルトランジスタを採用してセルトランジスタの閾値を低減させることにより、ワード線の昇圧電位を電源電圧 V_{CC} のままにすることが可能になっており、セルトランジスタのTDOB特性が向上する。

【0389】

【発明の効果】上述したように本発明の強誘電体メモリによれば、チェインFRAMにおいて特にワード線昇圧電位を低電圧化していった場合に問題となる読み出し／書き込み動作時におけるメモリセルの蓄積分極量の減少をもたらすディスターブの発生を抑制することができる。

【0390】また、本発明の強誘電体メモリによれば、従来型メモリセルを有するFRAMにおいてシングルパルス駆動方式により読み出し動作を行う時、プレート線のブートを抑制し、セルキャパシタの信頼性に悪影響を及ぼさないようにすることができる。

【0391】また、本発明によれば、低電圧化、ひいては低消費電力化が可能になり、信頼性が高い半導体メモリを提供することができる。

【0392】即ち、本発明の請求項1およびそれに従属する請求項の強誘電体メモリによれば、チェインFRAMにおいて、“1”データの再書き込みおよび“1”データのチップ外部からの書き込みの際に、プレート線とセンスアンプが共に“H”レベルとならなくなるので、非選択セルの分極を弱める電場の発生、即ちディスターブの発生を防ぐことができる。

【0393】また、本発明の請求項2およびそれに従属する請求項の強誘電体メモリによれば、1個の強誘電体キャパシタと1個のトランジスタとが直列接続されてなるメモリセルが行列状に配列されたアレイを有するFRAMにおいて、“1”データの再書き込みおよび“1”データのチップ外部からの書き込みの際に、プレート線とセ

ンスアンプと共に“H”レベルとならなくなるので、非選択セルの分極を弱める電場によるディスタープの発生を防ぐことができる。

【0394】本発明の請求項15およびそれに従属する請求項の半導体メモリによれば、通常の1トランジスタ・1キャパシタ型のメモリセルのアレイを用いる半導体メモリにおいて、ワード線の昇圧電位を低くすることが可能になる。

【0395】また、請求項19によれば、チェーンFRAMにおいてメモリセルのトランジスタのTDOB特性を改善することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るチェーンFRAMの一部の構成を概略的に示す回路図。

【図2】図1のチェーンFRAMにおける第1実施例の一連の動作を示すタイミングチャートおよび図1中のノードBL0r~BL7r、BBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図3】図1のチェーンFRAMにおける第2実施例の一連の動作を示すタイミングチャートおよび図1中のノードBL0r~BL7r、BBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図4】図1のチェーンFRAMにおける第3実施例の一連の動作を示すタイミングチャートおよび図1中のノードBL0r~BL7r、BBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図5】図1のチェーンFRAMにおける第4実施例の一連の動作を示すタイミングチャートおよび図1中のノードBL0r~BL7r、BBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図6】図1のチェーンFRAMにおける第5実施例の一連の動作を示すタイミングチャートおよび図1中のノードBL0r~BL7r、BBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図7】図1のチェーンFRAMにおける第6実施例のリードサイクルとしての一連の動作を示すタイミングチャートおよび図1中のノードBL0r~BL7r、BBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図8】図1のチェーンFRAMにおける第6実施例のライトサイクルとしての一連の動作を示すタイミングチャートおよび図1中のノードBL0r~BL7r、BBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図9】図1のチェーンFRAMにおける第7実施例のリードサイクルとしての一連の動作を示すタイミングチャートおよび図1中のノードBL0r~BL7r、BBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図10】図1のチェーンFRAMにおける第7実施例のライトサイクルとしての一連の動作を示すタイミングチャートおよび図1中のノードBL0r~BL7r、BBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図11】図1のチェーンFRAMにおける第8実施例の一連の動作を示すタイミングチャートおよび図1中のノードBL0r~BL7r、BBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図12】本発明の第2の実施の形態に係るチェーンFRAMの一部の構成を概略的に示す回路図。

【図13】図12のチェーンFRAMにおける第9実施例の一連の動作を示すタイミングチャートおよび図1中のノードBL0r~BL7r、BBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図14】本発明の第3の実施の形態に係るFRAMの一部の構成を概略的に示す回路図。

【図15】図14のFRAMにおける第10実施例の一連の動作を示すタイミングチャート。

【図16】本発明の第4の実施の形態に係るFRAMの一部の構成を概略的に示す回路図。

【図17】図16のFRAMにおける第10実施例の一連の動作を示すタイミングチャート。

【図18】図17の動作に際して図16中のノードBBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図19】本発明の第5の実施の形態に係るチェーンFRAMの一部の構成を概略的に示す回路図。

【図20】図19のFRAMにおける第11実施例の一連の動作を示すタイミングチャート。

【図21】図20の動作に際して図19中のノードBBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図22】図19のFRAMにおける第12実施例の一連の動作を示すタイミングチャート。

【図23】図22の動作に際して図19中のノードBBL0r~BBL7rの電位の詳細な推移を示す電位波形図。

【図24】本発明の第6の実施の形態に係るDRAMの一部の構成を概略的に示す回路図。

【図25】1T1C型のFRAMセルを示す等価回路図および“0”読み、“1”読み動作を説明するために示すセルキャパシタのヒステリシス特性図。

【図26】2T2C型のFRAMセルに対する書き込み動作を説明するために示す等価回路図および強誘電体キャパシタの分極の向きを示す図。

【図27】2T2C型のFRAMセルに対する読み出し動作を説明するために示す等価回路図および強誘電体キャパシタの分極の向きを示す図。

【図28】2T2C型のFRAMセルに対するデータ書き込み時/データ読み出し時におけるプレート線印加電位の変化を示す電位波形図。

【図29】従来のチェーンFRAMの一部の構成を概略的に示す回路図。

【図30】図29のチェーンFRAMにおける第1の動作例を示すタイミングチャートおよび図29中のノードBL0r~BL7rの電位の詳細な推移を示す電位波形図。

【図31】図29のチェーンFRAMにおける第2の動

作例を示すタイミングチャートおよび図29中のノードBL0r~BL7rの電位の詳細な推移を示す電位波形図。

【図32】図29のチェーンFRAMにおける第3の動作例を示すタイミングチャートおよび図29中のノードBL0r~BL7rの電位の詳細な推移を示す電位波形図。

【図33】従来のFRAMの一部の構成を概略的に示す回路図。

【図34】図33のFRAMにおける動作例を示すタイミングチャート。

【図35】ネガティブワード線(NWL)方式を採用したDRAMの構成の特徴部分を示す回路図およびワード線電位とビット線対の電位の関係を示す電位波形図。

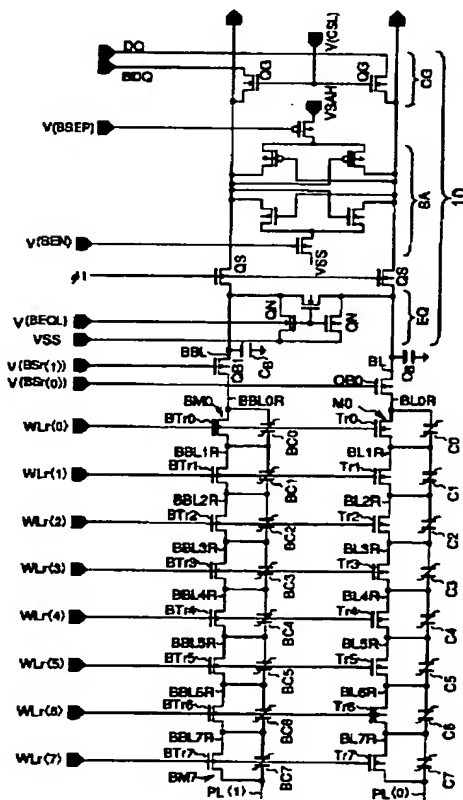
【図36】ブーステッドセンスグラウンド(BSG)方式を採用したDRAMの構成の特徴部分を示す回路図およびワード線電位とビット線対の電位の関係を示す電位*

* 波形図。

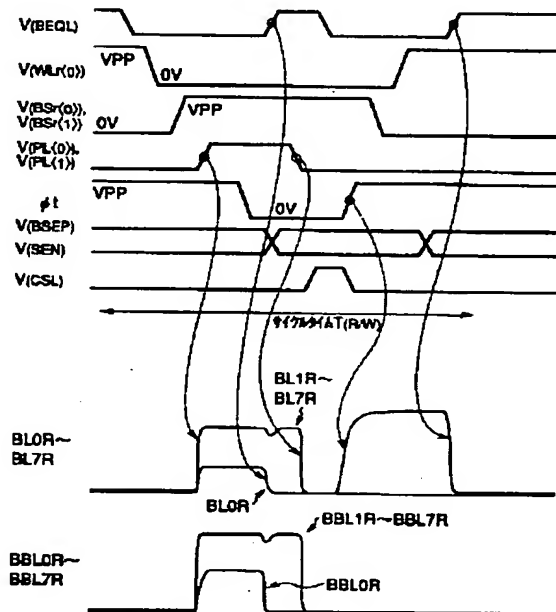
【符号の説明】

M0 ~ M7、BM0 ~ BM7 ... FRAMセル、
Tr0 ~ Tr7、BTr0 ~ BTr7 ... セルトランジスタ、
C0 ~ C7 ... セルキャパシタ、
BL0r ~ BL7R、BBL0r ~ BBL7R ... ノード、
WLr<0> ~ WLr<7> ... ワード線、
BL、BBL ... ビット線、
PL<0>、PL<1> ... プレート線、
QB0、QB1 ... ブロック選択用トランジスタ、
I0 ... センスアンプ領域、
EQ ... イコライズ・プリチャージ回路、
SA ... センスアンプ、
CG ... カラム選択ゲート、
QS ... 分離用トランジスタ。

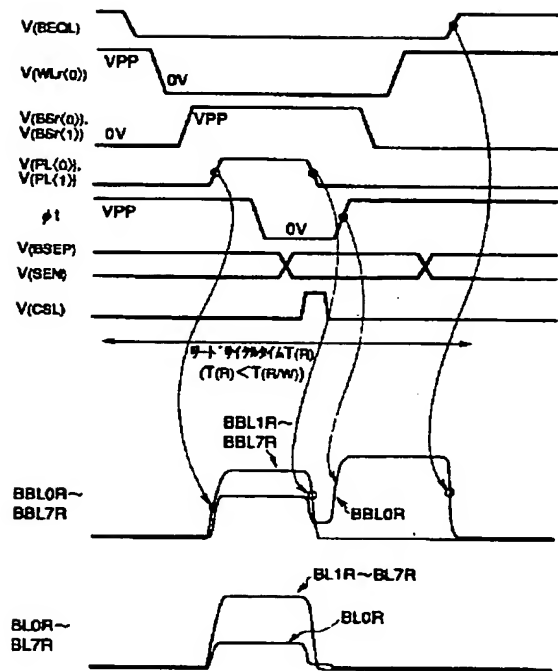
【図1】



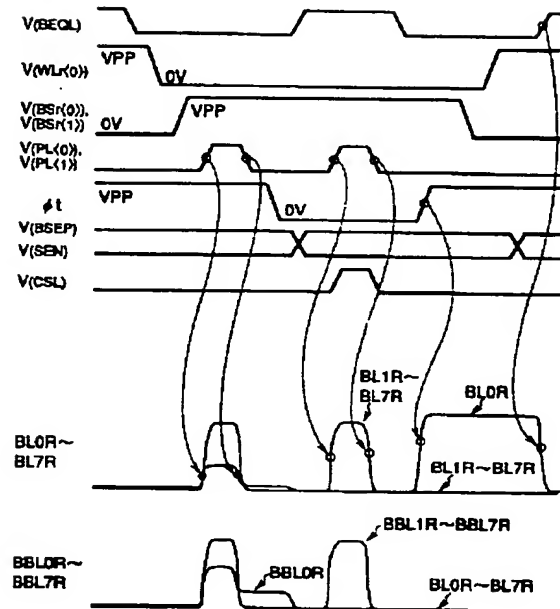
【図2】



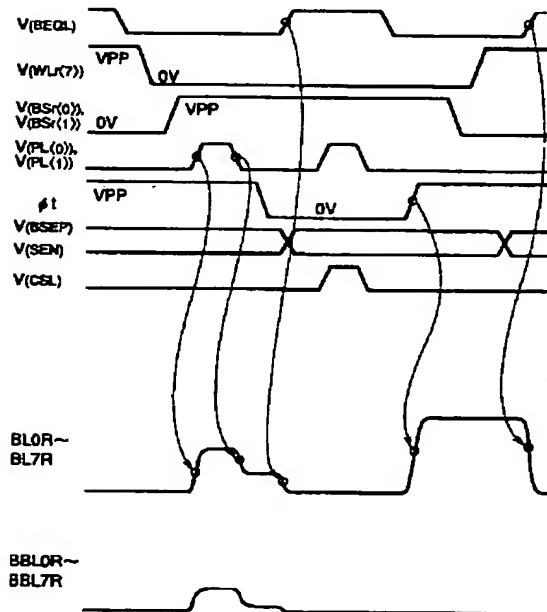
【図3】



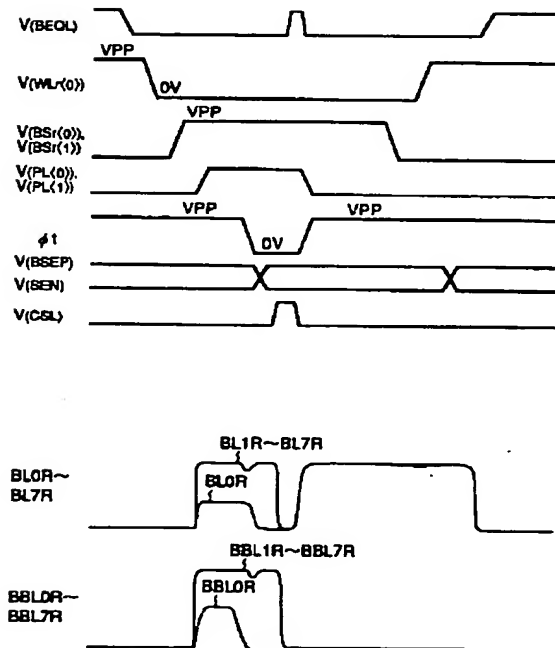
【図4】



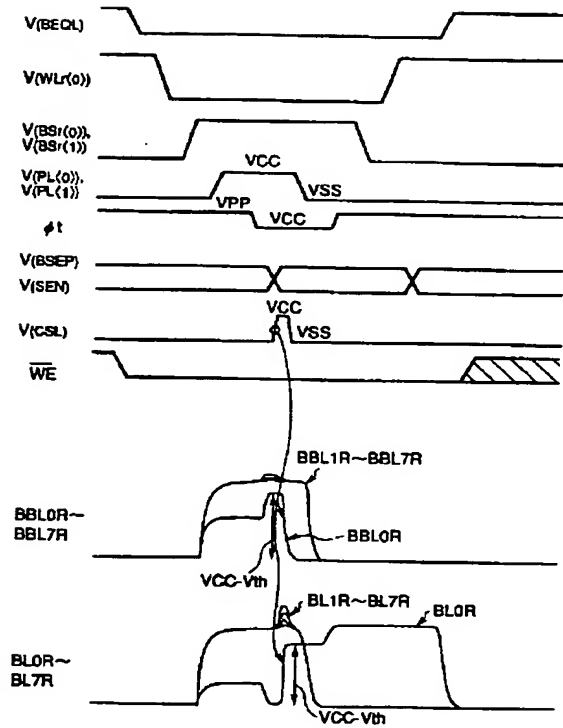
【図5】



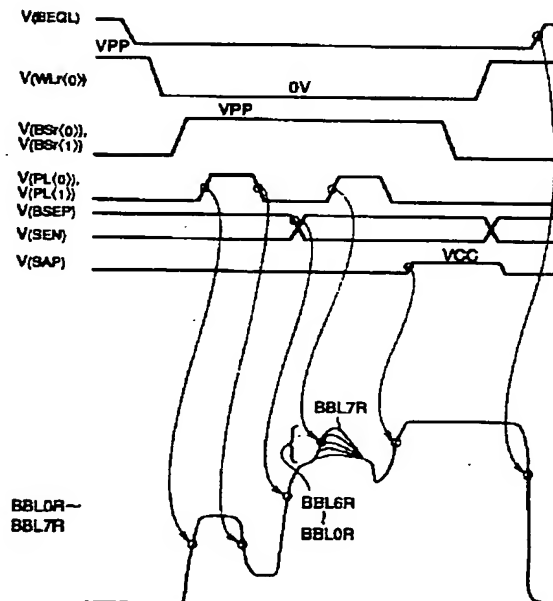
【図6】



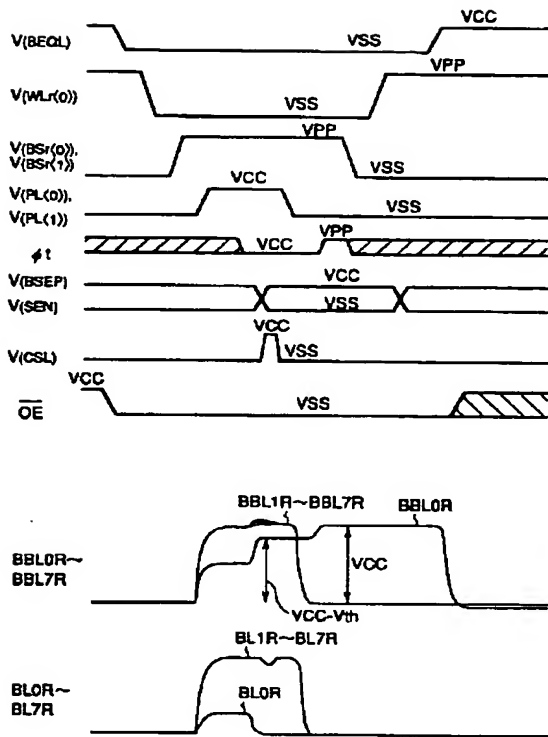
【圖 8】



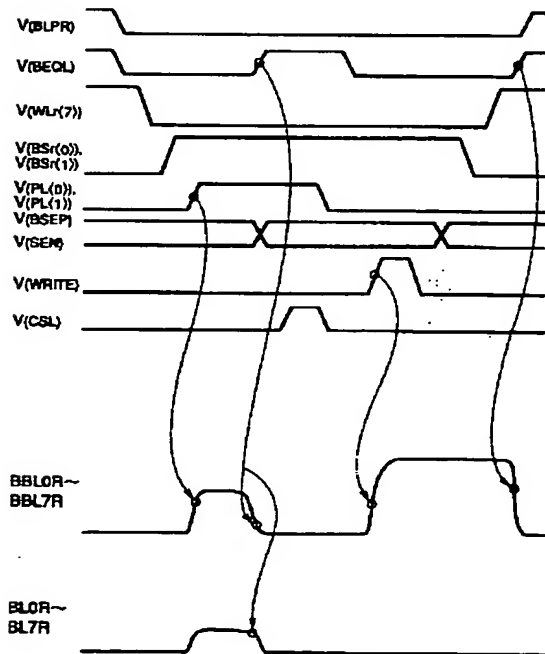
【圖 1 1】



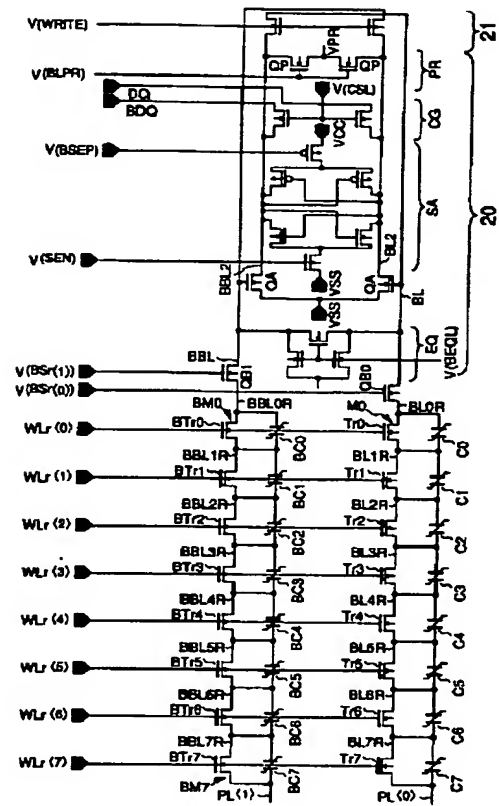
【図9】



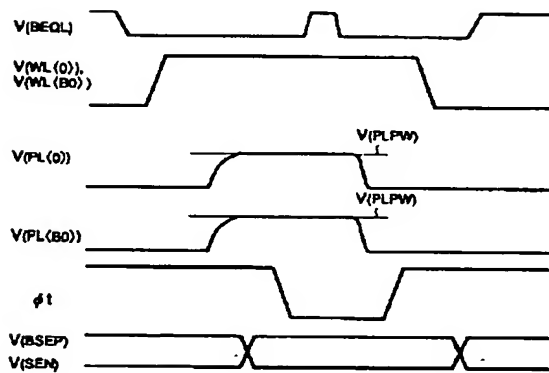
【図13】



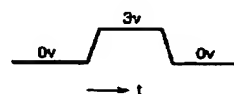
【図12】



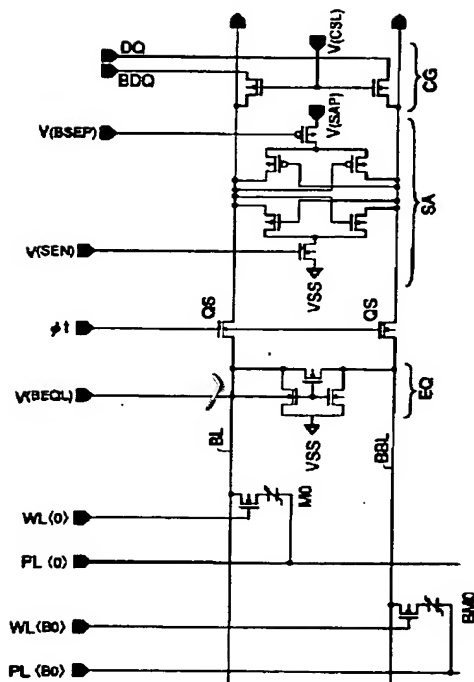
【図15】



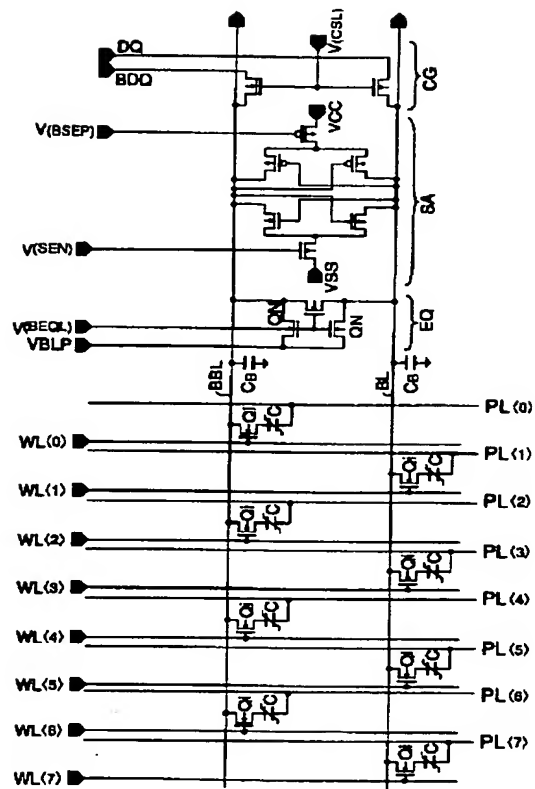
【図28】



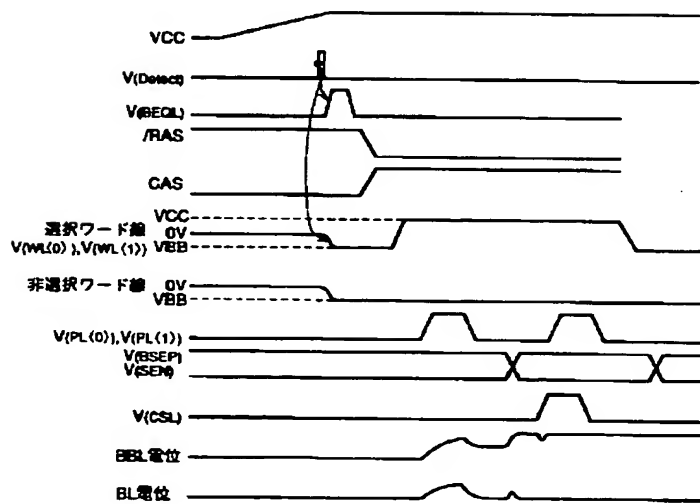
【図14】



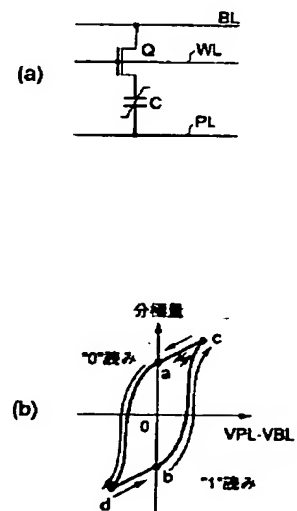
【図16】



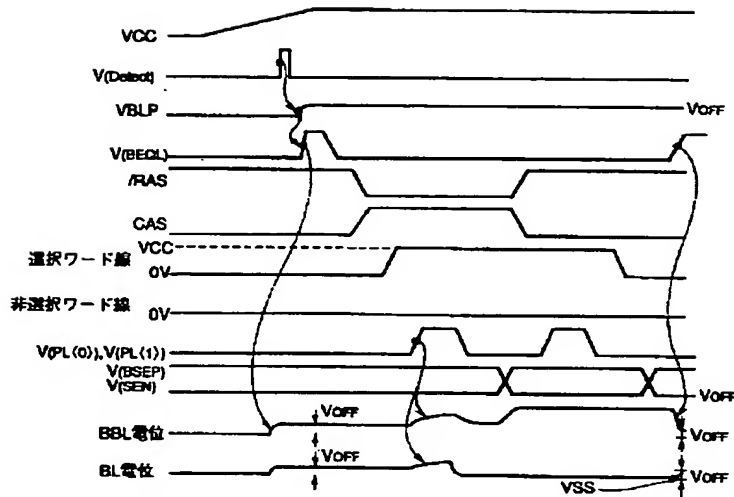
【図17】



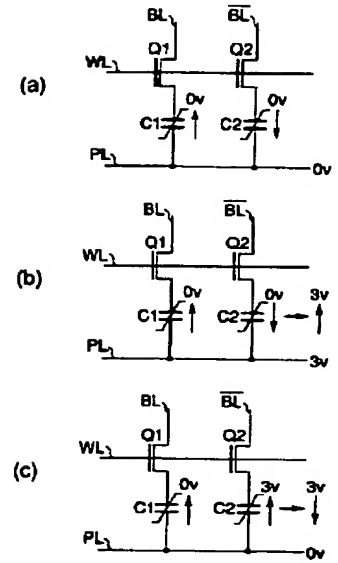
【図25】



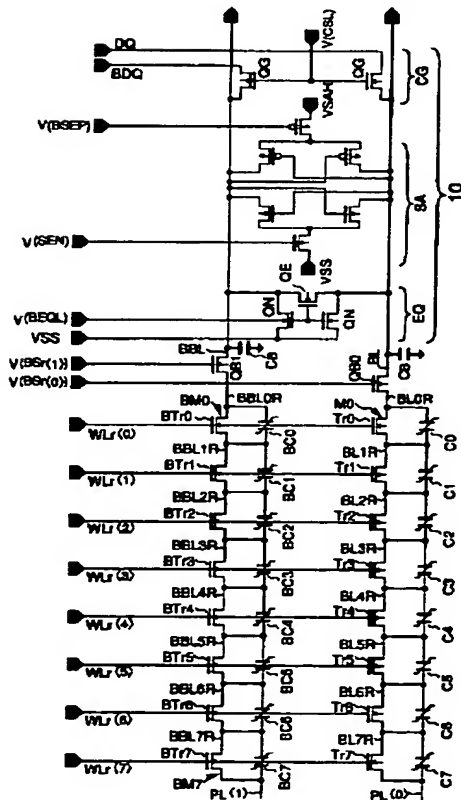
【図18】



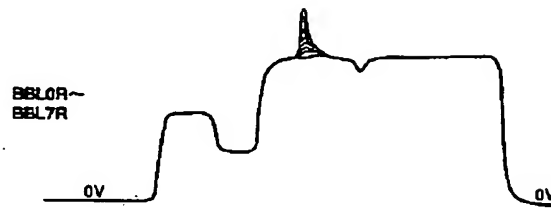
【図27】



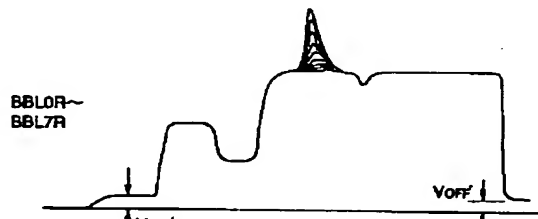
【図19】



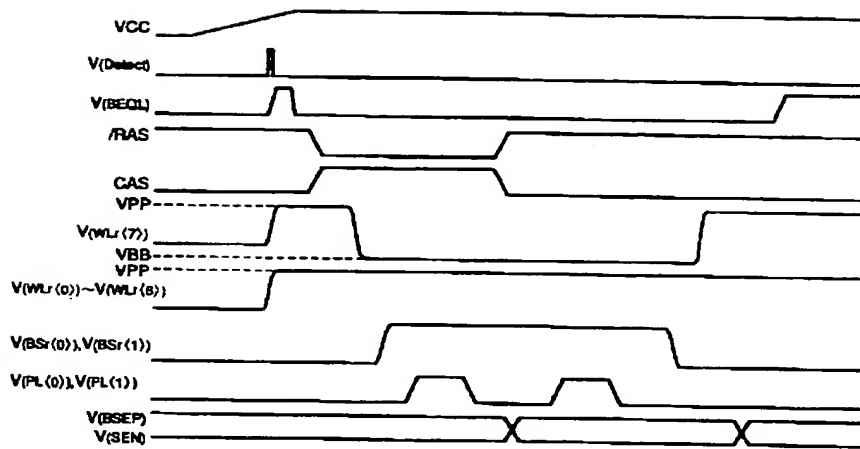
【図21】



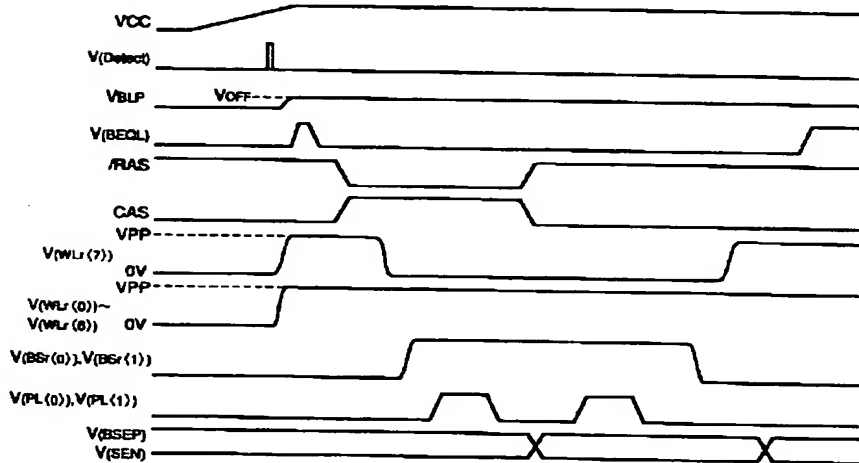
【図23】



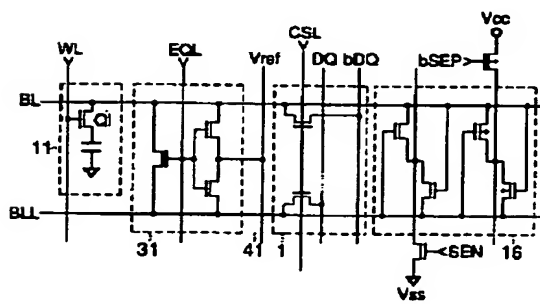
【図20】



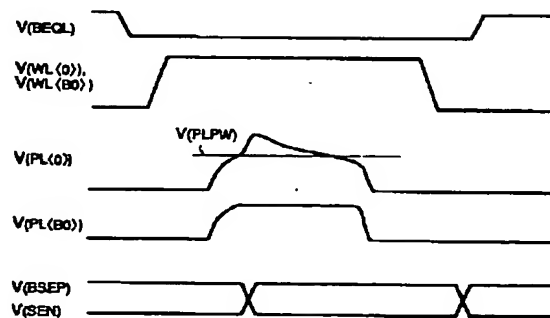
【図22】



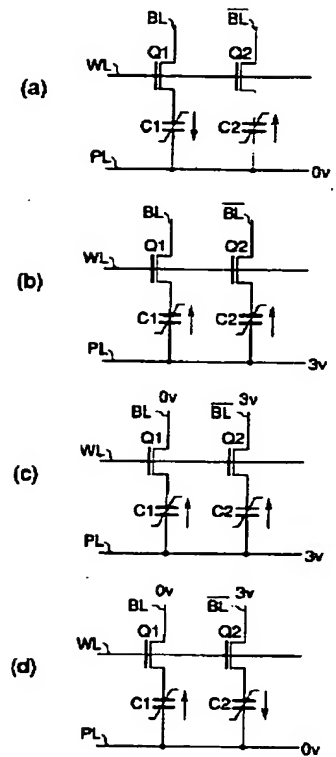
【図24】



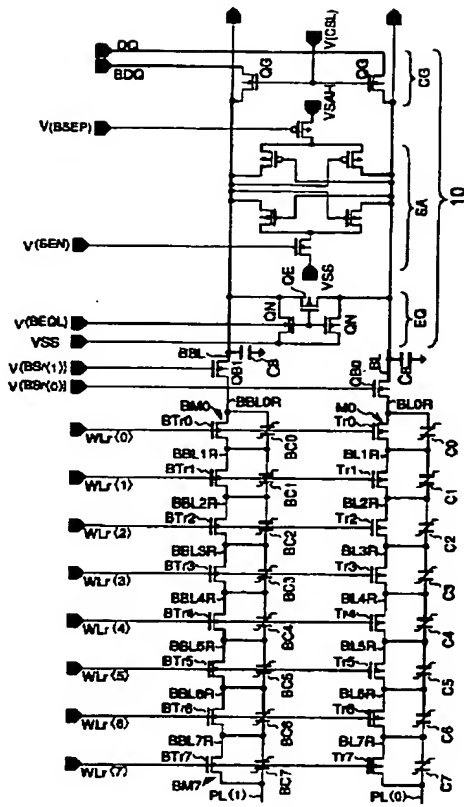
【図34】



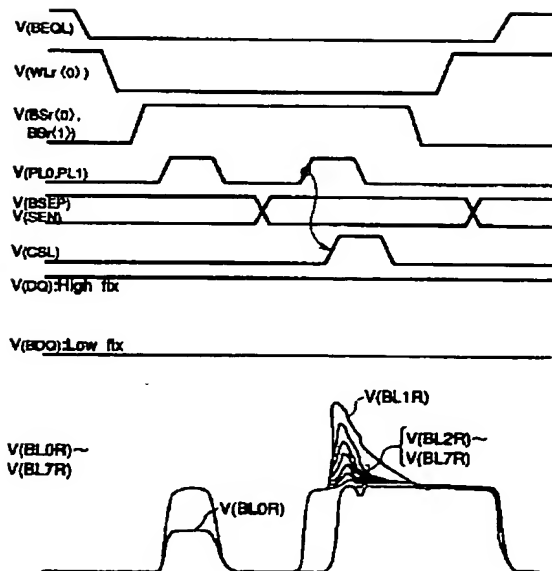
【図26】



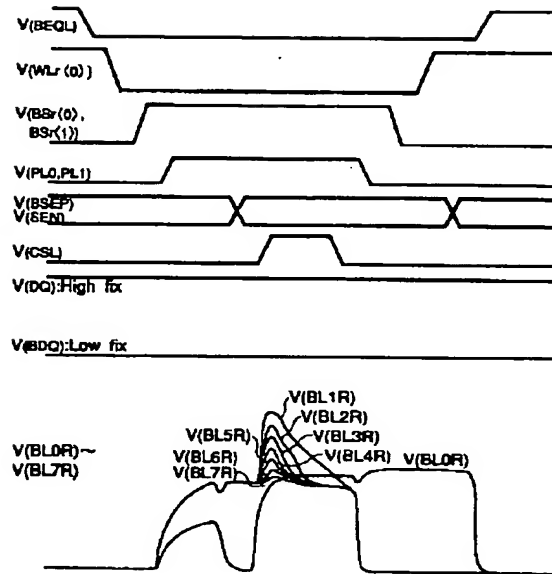
【図29】



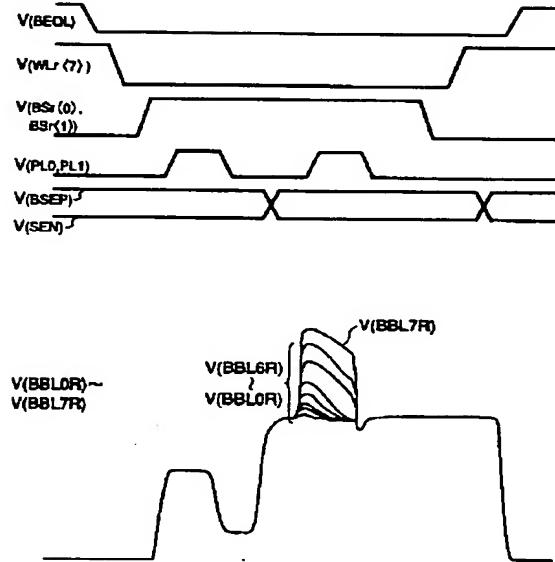
【図31】



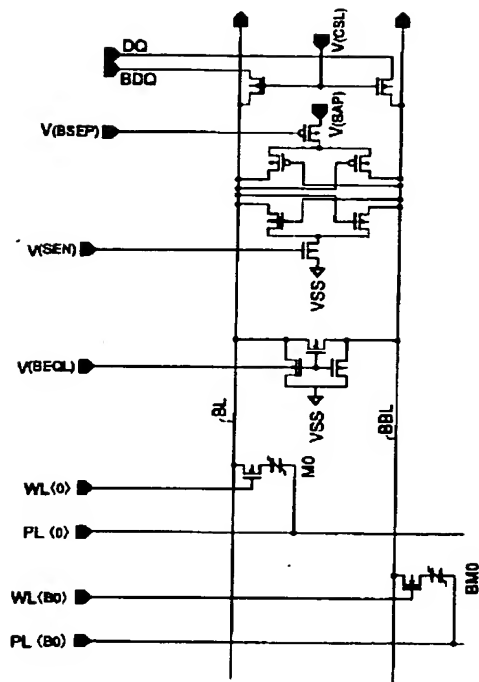
【図30】



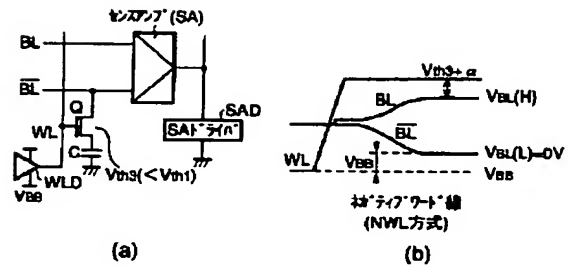
【図32】



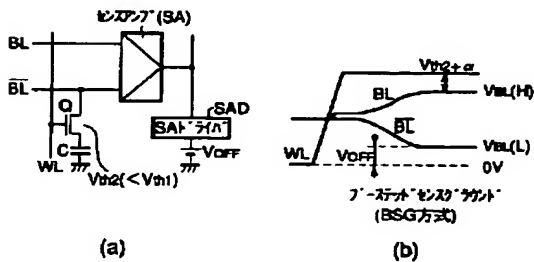
【図33】



【図35】



【図36】



フロントページの続き

- (72)発明者 田中 寿実夫
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 大脇 幸人
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

- (72)発明者 竹内 義昭
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- Fターム(参考) 5B024 AA15 BA02 BA03 BA05 BA21 CA27